

BEST AVAILABLE COPY

⑩ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 44 686 A 1**

⑤ Int. Cl. 6:
G 11 C 5/14
G 05 F 3/16

① Aktenzeichen: 197 44 686.8
② Anmeldetag: 9. 10. 97
③ Offenlegungstag: 15. 10. 98

DE 197 44 686 A 1

③ Unionspriorität:
9-093598 11. 04. 97 JP
⑦ Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
⑦ Vertreter:
Prüfer und Kollegen, 81545 München

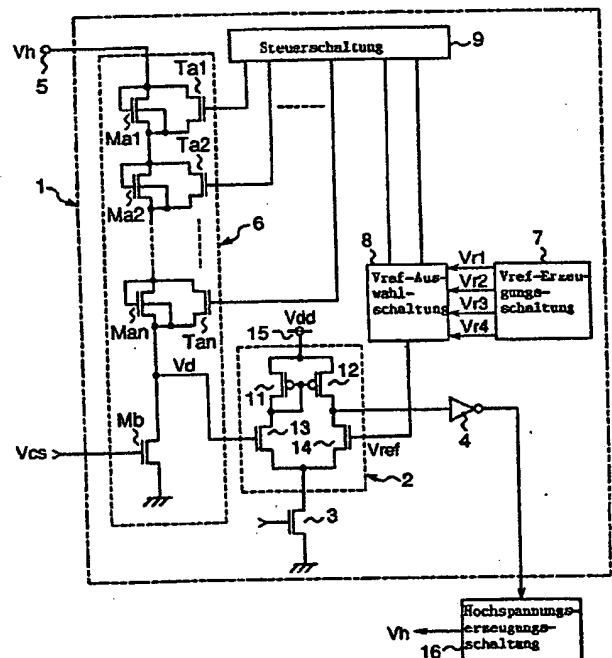
⑦ Erfinder:
Wada, Tomohisa, Tokio/Tokyo, JP; Mihara, Masaaki,
Tokio/Tokyo, JP; Taito, Yasuhiko, Tokio/Tokyo, JP;
Miyawaki, Yoshikazu, Tokio/Tokyo, JP; Dosaka,
Katsumi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Integrierte Halbleiterschaltungseinrichtung mit einer einstellbaren Hochspannungserfassungsschaltung

⑤ Eine integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung (1) weist eine Hochspannungsherunterkonvertierschaltung (6) zum Herunterkonvertieren einer eingegebenen Hochspannung (V_h) und Ausgeben der herunterkonvertierten Spannung (V_d), einen Referenzspannungsgenerator (7) zum Erzeugen mehrerer Referenzspannungen ($Vr1$, $Vr2$, $Vr3$, $Vr4$), einen Referenzspannungswähler (8) zum Auswählen einer der mehreren Referenzspannung ($Vr1$, $Vr2$, $Vr3$, $Vr4$), eine Hochspannungserfassungsschaltung (2, 3, 4) zum Vergleichen der herunterkonvertierten Spannung (V_d) mit der ausgewählten Referenzspannung (V_{ref}) derart, daß eine Hochspannung (V_h) erfaßt wird, und eine Steuerschaltung (9) zum Steuern des Spannungsabfalles der Hochspannung (V_h) und Auswählen der von den mehreren Referenzspannungen ($Vr1$, $Vr2$, $Vr3$, $Vr4$) derart, daß die durch den Hochspannungsdetektor zu erfassende Hochspannung eingestellt wird, auf. Es ist ebenfalls eine integrierte Schaltungseinrichtung mit einer Hochspannungsherunterkonvertierschaltung (22, 32, 42) zum Ausgeben von mehreren herunterkonvertierten Spannungen mit einem Feineinsteller (21, 31, 41) zum Feineinstellen von jeder der mehreren herunterkonvertierten Spannungen offenbart, wobei eine herunterkonvertierte Spannung, die fein eingestellt wurde, mit einer Referenzspannung (V_{ref}), die von einem Referenzspannungsgenerator (23) gegeben ist, verglichen wird.



DE 197 44 686 A 1

Beschreibung

Die vorliegende Erfindung betrifft eine integrierte Halbleiterschaltungseinrichtung und betrifft speziell eine Hochspannungserfassungsschaltung zum Erfassen von hohen positiven und negativen Spannungseingaben an eine integrierte Halbleiterschaltungseinrichtung.

Ein Flash-Speicher ist ein Typ einer nichtflüchtigen Halbleiterspeichereinrichtung, die in der Lage ist, Daten zu speichern, ohne kontinuierlich mit Strom versorgt zu werden. Eine Aufgabe, die durch Halten einer Ladung in dem schwebenden Gate innerhalb der Speicherzelle, in der der Datenwert gespeichert wird, verwirklicht wird. Ein Datenwert wird durch Laden oder Entladen des geeigneten schwebenden Gates unter Verwendung des Fowler-Nordheim-Tunneleffektes oder heißer Kanalelektronen derart gespeichert, daß Werte von 1 und 0 gespeichert werden. Eine Spannung, die höher ist als die Betriebsspannung der Einrichtung, wird im allgemeinen zum Laden oder Entladen des schwebenden Gates benötigt.

Fig. 8 ist ein vereinfachtes Schaltbild einer der Anmelderin bekannten Hochspannungserfassungsschaltung zum Erfassen einer hohen positiven Spannung. Wie in Fig. 8 gezeigt ist, weist die Hochspannungserfassungsschaltung 200 eine Stromspiegelladedifferenzverstärkerschaltung 201, einen n-Kanal-MOSFET (nMOS-Transistor) 202 zum Steuern der Differenzverstärkerschaltung 201, Widerstände 204 und 205 zur Spannungsteilung der hohen positiven Spannungseingabe von einem Hochspannungseingabeanschluß 203, einen Inverter 206 und einen Referenzspannungsgenerator 207 auf. Der Hochspannungseingabeanschluß 203 ist durch die Widerstände 204 und 205 auf Masse gelegt.

Man beachte, daß die Referenzspannung V_{ref} , die durch den Referenzspannungsgenerator 207 erzeugt ist und von ihm ausgegeben wird, an einen Eingabeanschluß der Differenzverstärkerschaltung 201 angelegt wird. Der andere Eingabeanschluß ist zwischen den Widerständen 204 und 205 verbunden und wird dadurch mit der von dem Hochspannungsanschluß 203 eingegebenen spannungsgeteilten hohen positiven Spannung V_h (Spannung V_{div}) versorgt.

Die Ausgabe der Differenzverstärkerschaltung 201 wird in den Inverter 206 eingegeben und die Ausgabe des Inverters 206 ist die Ausgabe der Hochspannungserfassungsschaltung 200. Die Hochspannungserfassungsschaltung 200 gibt zu einem Hochspannungsgenerator 208 aus, der eine Ladepumpschaltung aufweist und die hohe positive Spannung V_h ausgibt.

Die Ausgabe des Hochspannungsgenerators 208 wird an eine spezielle Schaltung, in den Figuren nicht gezeigt, angelegt und an den Hochspannungseingabeanschluß 203 angelegt. Ein digitales Signal wird an das Gate des nMOS-Transistors 202 angelegt. Wenn der nMOS-Transistor 202 an ist, arbeitet die Differenzverstärkerschaltung 201, und wenn der nMOS-Transistor 202 aus ist, stoppt die Differenzverstärkerschaltung 201 den Betrieb.

Mit der so gebildeten Hochspannungserfassungsschaltung 200 beträgt die geteilte Spannung V_{div} , die durch die Widerstände 204 und 205 spannungsgeteilt ist,

$$V_{div} = V_h \times R_b / (R_a + R_b),$$

wobei R_a der Widerstand des Widerstandes 204 und R_b der Widerstand des Widerstandes 205 ist.

Die Differenzverstärkerschaltung 201 vergleicht die geteilte Spannung V_{div} und die Referenzspannung V_{ref} . Wenn $V_{div} < V_{ref}$, gibt die Differenzverstärkerschaltung 201 LOW aus. Der Inverter 206 gibt somit HIGH aus, was den Hochspannungsgenerator 208 dazu bringt, die Ladungs-

pumpe zu betreiben und die hohe positive Spannung V_h zu erhöhen. Wenn $V_{div} > V_{ref}$, gibt die Differenzverstärkerschaltung 201 HIGH aus und somit gibt der Inverter 206 LOW aus und der Hochspannungsgenerator 208 stoppt das Treiben der Ladungspumpe. Da $V_{div} = V_h \times R_b / (R_a + R_b)$, gibt die Hochspannungserfassungsschaltung 200 LOW aus, wenn $V_h \times R_b / (R_a + R_b) > V_{ref}$, d. h. wenn $V_h > V_{ref} \times (R_a + R_b) / R_b$, und kann daher erfassen, ob die hohe positive Spannung V_h kleiner oder gleich zu $V_{ref} \times (R_a + R_b) / R_b$ ist.

Die in Fig. 8 gezeigte Hochspannungserfassungsschaltung 200 teilt jedoch die hohe positive Spannung V_h unter Verwendung der zwei Widerstände 204 und 205 und kann daher nur eine geteilte Spannung V_{div} erfassen. Als Ergebnis kann diese Hochspannungserfassungsschaltung 200 offensichtlich nicht mehrere hohe positive Spannungswerte erfassen. Diese Schwierigkeit wird durch Ersetzen des einen Widerstandes 204 mit einer Reihenschaltung von n (wobei n eine natürliche Zahl ist) Widerständen R_1 – R_n und nMOS-Transistoren T_1 – T_n mit ausreichend kleinen Gates, die parallel mit den entsprechenden Widerständen R_1 – R_n geschaltet sind, gelöst.

Jeder der nMOS-Transistoren T_1 – T_n ist mit einer Steuerschaltung 211 verbunden. Die Steuerschaltung 211 steuert den Ein-/Aus-Zustand von jedem der nMOS-Transistoren T_1 – T_n derart, daß der gesamte Widerstand der Reihenschaltung, die die n Widerstände R_1 – R_n aufweist, gesteuert wird. Es ist daher für die Steuerschaltung 211 möglich, die geteilte Spannung V_{div} zu steuern und dadurch eine Mehrzahl von hohen Spannungswerten zu erfassen.

Eine der Anmelderin bekannte Erfassungsschaltung zum Erfassen von hohen negativen Spannungswerten wird als nächstes mit Bezug zu dem Schaltbild, das in Fig. 10 gezeigt ist, beschrieben.

Die in Fig. 10 gezeigte Hochspannungserfassungsschaltung 220 weist eine Stromspiegelladedifferenzverstärkerschaltung 221, einen Differenzleseverstärker 224, der einen Inverter 223 und einen nMOS-Transistor 222 aufweist, zum Steuern der Differenzverstärkerschaltung 221, einen Pegelkonverter 227, der p-Kanal-MOSFETs (pMOS-Transistoren) 225 und 226 aufweist, und nMOS-Transistoren 228, 229 und M_1 – M_n auf.

Bei den nMOS-Transistoren 225 und 226 und bei den nMOS-Transistoren 229 und M_1 – M_n ist jeweils der Source mit dem Back-Gate-Anschluß derart verbunden, daß der Back-Gate-Effekt, der eine Änderung des Schwellenwertes V_{th} verhindert, verwendet wird. Der pMOS-Transistor 226 und die nMOS-Transistoren 228, 229 und M_1 – M_n sind diodengeschaltet.

Die nMOS-Transistoren 228, 229 und M_1 – M_n sind derart in Reihe geschaltet, daß sie eine Reihenschaltung bilden, die zwischen dem Hochspannungseingabeanschluß 230, an dem die hohe negative Spannung V_1 eingegeben wird, und dem Stromversorgungsanschluß 231, an dem die Stromversorgungsspannung V_{dd} eingegeben wird, geschaltet ist. Die durch den Referenzspannungsgenerator 232 erzeugte Referenzspannung V_{refA} wird an das Gate des nMOS-Transistors 228 angelegt. Der nMOS-Transistor 229 ist zwischen dem nMOS-Transistor 228 und dem Stromversorgungsanschluß 231 geschaltet.

Die pMOS-Transistoren 225 und 226, die den Pegelkonverter 227 bilden, sind in Reihe geschaltet. Das Gate des pMOS-Transistors 225, der zwischen dem Stromversorgungsanschluß 231 und der Masse an der Stromversorgungsanschlußseite geschaltet ist, ist zwischen den nMOS-Transistoren 228 und 229 geschaltet.

Ein Eingang in die Differenzverstärkerschaltung 221 des Differenzleseverstärkers 224 ist zwischen den pMOS-Transistoren 225 und 226 des Pegelkonverters 227 geschaltet

und der andere Eingang ist mit der durch den Referenzspannungsgenerator 232 erzeugten Referenzspannung V_{refB} verbunden. Die Differenzverstärkerschaltung 221 gibt zu dem Inverter 223 aus, der die Ausgabe der Hochspannungserfassungsschaltung 220 zu dem Hochspannungsgenerator 233 ausgibt. Der Hochspannungsgenerator 233 weist eine Ladungspumpschaltung derart auf, daß eine hohe negative Spannung V_1 erzeugt wird und ausgegeben wird.

Die Ausgabe des Hochspannungsgenerators 233 wird an eine spezielle Schaltung, die in den Figuren nicht gezeigt ist, und an den Hochspannungseingangsanschluß 230 geliefert. Ein digitales Signal wird an das Gate des nMOS-Transistors 222 geliefert. Wenn der nMOS-Transistor 222 ein ist, arbeitet die Differenzverstärkerschaltung 221, und wenn der nMOS-Transistor 222 aus ist, stoppt die Differenzverstärkerschaltung 221 den Betrieb.

Die Reihenschaltung, die die diodengeschalteten nMOS-Transistoren M_1 - M_n und den nMOS-Transistor 228 aufweist, an dessen Gate die Referenzspannung V_{refA} eingegeben wird, führt einen Strom entsprechend der Spannungsdifferenz zwischen der Referenzspannung V_{refA} und der hohen negativen Spannung V_1 hindurch. Dieser Strom fließt von dem diodengeschalteten nMOS-Transistor 229, wobei eine Spannung V_a zwischen dem Source und dem Drain des nMOS-Transistors 229 erzeugt wird. Alle von den nMOS-Transistoren 228, 229 und M_1 - M_n weisen Gates derselben Größe auf und die folgende Gleichung [1] trifft zu, wenn alle ein sind.

$$(V_{refA} - V_1)/(n+1) = V_a \quad [1]$$

Der Pegelkonverter 227 konvertiert die Eingabespannung V_a zu einer Spannung V_a bezogen auf das Massepotential und die Differenzverstärkerschaltung 221 vergleicht die durch den Pegelkonverter 227 konvertierte Spannung V_a mit der Referenzspannung V_{refB} . Als Ergebnis wird Referenzspannung V_{refB} mit $(V_{refA} - V_1)/(n+1)$ verglichen, wird V_1 mit $\{V_{refA} - (n+1) \times V_{refB}\}$ verglichen und können hohe negative Spannungen unter Verwendung eines hohen ganzen Wertes für n erfaßt werden.

Die Schwierigkeit bei der in Fig. 9 gezeigten Erfassungsschaltung 210 für hohe positive Spannung liegt darin, daß die Anzahl der Widerstände R_1 - R_n derart erhöht werden muß, daß die geteilte Spannung V_{div} in feine Inkremente aufgeteilt wird. Dies erhöht die Anzahl der Ausgänge von der Steuerschaltung 211, was die Größe der Schaltung erhöht. Die Chipgröße wächst ebenfalls so wie die Anzahl der Widerstände sich erhöht und beide Faktoren erhöhen die Herstellungskosten.

Mit der Erfassungsschaltung 220 für eine hohe negative Spannung, die in Fig. 10 gezeigt ist, bedingt die große Anzahl der Schaltungselemente einen Abfall der Erfassungspräzision während ebenfalls die Kosten und der Stromverbrauch erhöht wird. Dies steht ebenfalls im Widerspruch mit dem andauernden Wunsch, den Stromverbrauch in Halbleitereinrichtungen zu reduzieren.

Es sollte angemerkt werden, daß die Batteriespannungserfassungsschaltung für ein Magnetaufzeichnungs- und Wiedergabegerät, die in der ungeprüften offengelegten japanischen Patentanmeldung JP 5-164792 (1993) beschrieben ist, eine Referenzspannung V_{REF} zusammen mit der erfaßten Spannung einstellt und in einen Komparator eingibt, obwohl sie von der Aufgabe und dem Aufbau von der integrierten Halbleiterschaltungseinrichtung der vorliegenden Erfindung verschieden ist. Eine interne Spannungserzeugungsschaltung, die die Referenzspannung V_{REF} in Schritten ändert, ist ebenfalls in US 5 283 762 beschrieben.

Es ist Aufgabe der vorliegenden Erfindung, eine inte-

grierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung vorzusehen, die in der Lage ist, die Präzision der Erfassung zu verbessern, die Einrichtungskosten zu reduzieren und den Stromverbrauch zu reduzieren.

Die Aufgabe wird durch die integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung nach Anspruch 1, 4, 9 oder 12 gelöst.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Bei einer integrierten Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung zum Erfassen von Hochspannungspegeln konvertiert ein Hochspannungsherunterkonvertiermittel eine eingegebene Hochspannung und gibt die herunterkonvertierte Spannung aus. Ein Referenzspannungserzeugungsmittel erzeugt und gibt mehrere Referenzspannungen aus und ein Referenzspannungsauswahlmittel wählt eine der mehreren Referenzspannungen, die von dem Referenzspannungserzeugungsmittel geliefert sind, aus und gibt die ausgewählte Referenzspannung aus. Ein Hochspannungserfassungsmittel vergleicht die von dem Hochspannungsherunterkonvertiermittel aus gegebene Spannung und die von dem Referenzspannungsauswahlmittel ausgegebene Referenzspannung derart, daß eine Hochspannung erfaßt wird. Eine Steuereinheit steuert den Spannungsabfall der Hochspannung durch das Hochspannungsherunterkonvertiermittel und steuert die durch das Referenzspannungsauswahlmittel ausgewählte Referenzspannung derart, daß die durch das Hochspannungserfassungsmittel erfaßte Hochspannung eingestellt wird.

Das Hochspannungsherunterkonvertiermittel weist in diesem Fall bevorzugt eine Spannungsherunterkonvertierschaltung zum Herunterkonvertieren einer Hochspannung mittels zumindest einem diodengeschalteten MOSFET, der in Reihe geschaltet ist, einer Stromversorgung, die in Reihe mit der Spannungsherunterkonvertierschaltung geschaltet ist, und einem Schaltmittel zum Kurzschließen des Drain und des Source von jedem MOSFET der Spannungsherunterkonvertierschaltung durch einen Schaltbetrieb auf. Die Steuereinheit kontrolliert somit die von dem Hochspannungsherunterkonvertiermittel aus gegebene Spannung durch Steuern des Betriebes der Schalteinrichtung derart, daß der Spannungsabfall der Spannungsherunterkonvertierschaltung geändert wird.

Alternativ weist das Hochspannungsherunterkonvertiermittel bevorzugt eine Spannungsherunterkonvertierschaltung zum Herunterkonvertieren einer Hochspannung mittels mehrerer Widerstände, die in Reihe geschaltet sind, einer Stromversorgung, die in Reihe mit der Spannungsherunterkonvertierschaltung geschaltet ist, und eines Schaltmittels, das parallel zu den Widerständen geschaltet ist, die die Spannungsherunterkonvertierschaltung bilden, zum Kurzschließen der Widerstände durch einen Schaltbetrieb, auf. Die Steuereinheit kontrolliert somit die von dem Hochspannungsherunterkonvertiermittel aus gegebene Spannung durch Steuern des Betriebes der Schaltmittel derart, daß der Spannungsabfall der Spannungsherunterkonvertierschaltung geändert wird.

Bei einer integrierten Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung zum Erfassen von Hochspannungspegeln entsprechend einer weiteren Ausführungsform konvertiert ein Hochspannungsherunterkonvertiermittel eine eingegebene Hochspannung und gibt die herunterkonvertierte Spannung aus. Ein Referenzspannungserzeugungsmittel erzeugt eine Referenzspannung und gibt sie aus und ein Hochspannungserfassungsmittel vergleicht die von dem Hochspannungsherunterkonvertiermittel aus gegebene Spannung und die von dem Referenzspannungserzeu-

gungsmittel ausgegebene Referenzspannung derart, daß eine Hochspannung erfaßt wird. Die Steuereinheit steuert somit den Spannungsabfall der Hochspannung durch das Hochspannungsherunterkonvertiermittel derart, daß die durch das Hochspannungserfassungsmittel erfaßte Hochspannung eingestellt wird. Das Hochspannungsherunterkonvertiermittel in dieser Ausführungsform weist bevorzugt ein Spannungsherunterkonvertiermittel zum Herunterkonvertieren der Spannung in spezifischen ganzzahligen Vielfachen einer vorbestimmten Spannung, ein Einstellmittel zum Herunterkonvertieren der Spannung in kleineren Schritten als ein ganzzahliges Vielfaches der vorbestimmten Spannung und eine Stromversorgung zum Liefern von Strom zu dem Spannungsherunterkonvertiermittel und dem Einstellmittel auf. Die Steuereinheit steuert somit speziell den Spannungsabfall durch das Spannungsherunterkonvertiermittel und das Einstellmittel derart, daß die von dem Hochspannungsherunterkonvertiermittel ausgegebene Spannung gesteuert wird und damit die durch das Hochspannungserfassungsmittel erfaßte Hochspannung eingestellt wird.

Das Spannungsherunterkonvertiermittel in dieser Ausführungsform weist bevorzugt eine Spannungsherunterkonvertierschaltung mit zumindest einem diodengeschalteten MOSFET, der in Reihe geschaltet ist, und einer ersten Schaltschaltung, die Schaltelemente zum Kurzschließen des Drains und des Source von jedem MOSFET der Spannungsherunterkonvertierschaltung durch einen Schaltbetrieb aufweist, auf. Die Steuereinheit stellt somit den durch das Hochspannungserfassungsmittel erfaßten Hochspannungswert durch Steuern des Betriebes von jedem Schaltelement in der ersten Schaltschaltung derart, daß der Spannungsabfall der Hochspannung durch das Hochspannungsherunterkonvertiermittel gesteuert wird und dadurch die von dem Hochspannungsherunterkonvertiermittel ausgegebene Spannung gesteuert wird, ein.

Weiter weist das Einstellmittel bevorzugt eine Feineinstellschaltung, die in Reihe mit der Spannungsherunterkonvertierschaltung verbunden ist, und eine zweite Schaltschaltung auf. Die Feineinstellschaltung weist zumindest einen in Reihe geschalteten MOSFET, wobei eine aus einem Widerstand gebildete Spannungsteilungsschaltung zwischen dem Source und dem Drain von jedem MOSFET geschaltet ist und die durch die Spannungsteilungsschaltung geteilte Spannung an das Gate des MOSFET gegeben wird, auf. Die zweite Schaltschaltung weist für jeden MOSFET in der Feineinstellschaltung ein Schaltelement auf, das derart geschaltet ist, daß es den Drain und den Source des entsprechenden MOSFET kurzschließt. Die Steuereinheit stellt somit den durch das Hochspannungsherunterkonvertiermittel erfaßten Hochspannungswert durch Steuern des Betriebes von jedem Schaltelement in der zweiten Schaltschaltung derart, daß der Spannungsabfall der Hochspannung durch das Hochspannungsherunterkonvertiermittel in kleinen Schritten eingestellt wird und dadurch die von dem Hochspannungsherunterkonvertiermittel ausgegebene Spannung in kleinen Schritten gesteuert wird, ein.

Alternativ ist das Einstellmittel eine Feineinstellschaltung, die in Reihe mit der Spannungsherunterkonvertierschaltung geschaltet ist. Diese Feineinstellschaltung weist eine Reihenschaltung und zumindest eine ähnliche parallel geschaltete Reihenschaltung auf. Jede dieser Reihenschaltungen weist einen MOSFET, der eine aus einem Widerstand gebildete Spannungsteilungsschaltung aufweist, die zwischen dem Source und dem Drain geschaltet ist, wobei die durch die Spannungsteilungsschaltung geteilte Spannung an das MOSFET-Gate angelegt wird, und einen Schalt-MOSFET, der in Reihe mit dem MOSFET geschaltet ist, auf. Die Steuereinheit stellt in diesem Fall den durch das

Hochspannungsherunterkonvertiermittel erfaßten Hochspannungswert durch Steuern des Schaltbetriebes von jedem Schalt-MOSFET derart, daß der Spannungsabfall der Hochspannung durch das Hochspannungsherunterkonvertiermittel in kleinen Schritten eingestellt wird und dadurch die von dem Hochspannungsherunterkonvertiermittel ausgegebene Spannung in kleinen Schritten gesteuert wird, ein.

Alternativ ist das Einstellmittel noch weiter eine Feineinstellschaltung, die in Reihe mit der Spannungsherunterkonvertierschaltung geschaltet ist, bei der die Feineinstellschaltung einen MOSFET mit zumindest einer Reihenschaltung, die einen Widerstand und einen Schalt-MOSFET aufweist und die zwischen dem Gate und dem Drain und dem Gate und Source des MOSFET geschaltet sind, aufweist. Die Steuereinheit stellt den durch das Hochspannungserfassungsmittel erfaßten Hochspannungswert durch Steuern des Schaltbetriebes von jedem Schalt-MOSFET derart, daß der Spannungsabfall der Hochspannung durch das Hochspannungsherunterkonvertiermittel in kleinen Schritten eingestellt wird und dadurch die von dem Hochspannungsherunterkonvertiermittel ausgegebene Spannung in kleinen Schritten gesteuert wird, ein.

Bei einer integrierten Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung zum Erfassen von hohen Spannungspegeln entsprechend einer weiteren Ausführungsform erzeugt ein Referenzspannungserzeugungsmittel eine erste Referenzspannung eine zweite Referenzspannung und gibt sie aus. Ein Stromumwandlungsmittel wandelt die Spannungs Differenz zwischen der ersten Referenzspannung und der Hochspannung in einen Stromwert um und ein Konstantstromgenerator erzeugt einen Konstantstrom entsprechend der zweiten Referenzspannung und gibt ihn aus. Ein Spannungsumwandlungsmittel wandelt die Stromdifferenz zwischen dem durch das Stromumwandlungsmittel umgewandelten Strom und dem von dem Konstantstromgenerator ausgegebenen Konstantstrom in eine Spannung um und ein Hochspannungserfassungsmittel erfaßt den Hochspannungswert der durch das Spannungsumwandlungsmittel umgewandelten Spannung.

Das Spannungsumwandlungsmittel in dieser Ausführungsform ist bevorzugt eine Stromspiegelschaltung, die den durch das Stromumwandlungsmittel umgewandelten Strom an den Ausgang des Konstantstromgenerators anlegt. Das Hochspannungserfassungsmittel erfaßt dann den Hochspannungswert der Spannung an dem Ausgang des Konstantstromgenerators.

In diesem Fall weist das Stromumwandlungsmittel bevorzugt eine Spannungspegelumwandlungsschaltung aus zumindest einem diodengeschalteten MOSFET, der in Reihe geschaltet ist, und einen MOSFET, der mit dem Eingang der Spannungspegelumwandlungsschaltung verbunden ist, an dessen Gate die erste Referenzspannung eingegeben wird und der als der Eingang des Stromumwandlungsmittels dient, auf. An den Ausgang der Spannungspegelumwandlungsschaltung wird eine hohe negative Spannung angelegt.

Bei einer integrierten Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung zum Erfassen von hohen Spannungspegeln entsprechend einer weiteren Ausführungsform ist ein erstes Spannungsherunterkonvertiermittel aus zumindest einem diodengeschalteten MOSFET in Reihe geschaltet und weist einen auf Masse gelegten Ausgang auf. Ein zweites Spannungsherunterkonvertiermittel aus zumindest einem diodengeschalteten MOSFET ist ebenfalls in Reihe geschaltet und weist eine an den Eingang angelegte hohe negative Spannung auf. Ein Referenzspannungserzeugungsmittel erzeugt eine spezielle Referenzspannung und gibt sie aus. Ein Konstantstromgenerator erzeugt einen Konstantstrom, wodurch der Eingang des ersten

Spannungsherunterkonvertierermittels eine spezielle Referenzspannung aufweist und gibt den konstanten Strom an das erste und zweite Spannungsherunterkonvertierermittel aus. Ein Hochspannungserfassungsmittel vergleicht dann die Eingabespannung zu dem ersten Spannungsherunterkonvertierermittel mit der Eingabespannung zu dem zweiten Spannungsherunterkonvertierermittel derart, daß der Hochspannungswert erfaßt wird.

Weitere Merkmale und Vorteile der Erfindung ergeben sich aufgrund der Beschreibung von Ausführungsformen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 ein grundlegendes Schaltungsdiagramm einer Hochspannungserfassungsschaltung für eine integrierte Halbleiterschaltungseinrichtung entsprechend der ersten Ausführungsform;

Fig. 2 ein grundlegendes Schaltungsdiagramm einer Hochspannungserfassungsschaltung für eine integrierte Halbleiterschaltungseinrichtung entsprechend der zweiten Ausführungsform;

Fig. 3 ein grundlegendes Schaltungsdiagramm einer Hochspannungserfassungsschaltung für eine integrierte Halbleiterschaltungseinrichtung entsprechend einem alternativen Beispiel der zweiten Ausführungsform;

Fig. 4 ein grundlegendes Schaltungsdiagramm einer Hochspannungserfassungsschaltung für eine integrierte Halbleiterschaltungseinrichtung entsprechend einem weiteren alternativen Beispiel der zweiten Ausführungsform;

Fig. 5 ein Diagramm eines MOSFET des Verarmungstyps;

Fig. 6 ein grundlegendes Schaltungsdiagramm einer Hochspannungserfassungsschaltung für eine integrierte Halbleiterschaltungseinrichtung entsprechend der dritten Ausführungsform;

Fig. 7 ein grundlegendes Schaltungsdiagramm einer Hochspannungserfassungsschaltung für eine integrierte Halbleiterschaltungseinrichtung entsprechend der vierten Ausführungsform;

Fig. 8 ein grundlegendes Schaltungsdiagramm einer der Anmelderin bekannten Hochspannungserfassungsschaltung zum Erfassen von hohen positiven Spannungen;

Fig. 9 ein grundlegendes Schaltungsdiagramm einer der Anmelderin bekannten Hochspannungserfassungsschaltung zum Erfassen von hohen positiven Spannungen und

Fig. 10 ein grundlegendes Schaltungsdiagramm einer der Anmelderin bekannten Hochspannungserfassungsschaltung zum Erfassen von hohen negativen Spannungen.

Erste Ausführungsform

Fig. 1 ist ein grundlegendes Schaltbild einer Hochspannungserfassungsschaltung 1 für eine integrierte Halbleiterschaltungseinrichtung entsprechend der ersten Ausführungsform. Es wird angemerkt, daß eine Hochspannungserfassungsschaltung zum Erfassen hoher positiver Spannungen in Fig. 1 nur als Beispiel gezeigt ist.

Wie in Fig. 1 gezeigt ist, weist die Hochspannungserfassungsschaltung 1 einen Stromspiegeldifferenzverstärker 2, einen n-Kanal-MOSFET (nMOS-Transistor) 3 zum Steuern des Differenzverstärkers 2 und einen Inverter 4 zum Invertieren des Pegels des Ausgangssignales von dem Differenzverstärker 2, eine Hochspannungstransformierschaltung 6, einen Referenzspannungsgenerator 7, einen Referenzspannungswähler 8 und eine Steuerschaltung 9 auf.

Die Hochspannungstransformier- bzw. Hochspannungsherunterkonvertierschaltung 6 transformiert die hohe positive Spannungseingabe von dem Hochspannungseingabeanschluß 5 derart, daß eine heruntertransformierte bzw. herun-

terkonvertierte Spannung V_d ausgegeben wird. Der Referenzspannungsgenerator 7 erzeugt mehrere Referenzspannungen, die in dieser Ausführungsform als V_{r1} - V_{r4} gezeigt sind, und gibt diese an den Referenzspannungswähler 8 aus.

Der Referenzspannungswähler 8 wird durch die Steuerschaltung 9 derart gesteuert, daß eine der Referenzspannungen V_{r1} - V_{r4} ausgewählt wird und an den Differenzverstärker 2 ausgegeben wird.

Zusätzlich zum Steuern des Referenzspannungswählers 8 steuert die Steuerschaltung 9 die Hochspannungstransformierschaltung 6 derart, daß der Pegel der heruntertransformierten Spannung V_d , die von der Hochspannungstransformierschaltung 6 an den Differenzverstärker 2 ausgegeben ist, gesteuert wird.

Der Differenzverstärker 2 weist p-Kanal-MOSFETs (pMOS-Transistor) 11 und 12 und nMOS-Transistoren 13 und 14 auf. Die pMOS-Transistoren 11 und 12 bilden einen Stromspiegel, wobei die Source von beiden pMOS-Transistoren 11 und 12 mit dem Stromversorgungsanschluß 15, an den die Stromversorgungsspannung V_{dd} angelegt wird, verbunden sind. Das Gate des pMOS-Transistors 11 ist mit dem Gate des pMOS-Transistors 12 verbunden und die Leitung zwischen diesen Gates ist mit dem Drain des pMOS-Transistors 11 verbunden.

Der Drain des pMOS-Transistors 11 ist mit dem Drain des nMOS-Transistors 13 verbunden. Der Drain des pMOS-Transistors 12 ist mit dem Drain des nMOS-Transistors 14 verbunden und die Leitung dazwischen wird für die Ausgabe des Differenzverstärkers 2 abgegriffen, die zu dem Eingang des Inverters 4 geliefert wird. Die Ausgabe des Inverters 4 ist die Ausgabe der Hochspannungserfassungsschaltung 1 und wird an den Eingang des Hochspannungsgenerators 16 angelegt.

Der Hochspannungsgenerator 16 weist eine Ladungspumpe auf und gibt die hohe positive Spannung V_h aus. Der Hochspannungsgenerator 16 gibt dies zu einer speziellen Schaltung, die in den Figuren nicht gezeigt ist, und zu dem Hochspannungseingabeanschluß 5 der Hochspannungserfassungsschaltung 1 aus.

Der Source des nMOS-Transistors 13 ist mit dem Source des nMOS-Transistors 14 verbunden und die Leitung dazwischen ist dem Drain des nMOS-Transistors 3 verbunden. Der Source des nMOS-Transistors 3 ist auf Masse gelegt. Ein digitales Signal wird an das Gate des nMOS-Transistors 3 derart angelegt, daß der nMOS-Transistor 3 eingeschaltet oder ausgeschaltet wird. Wenn der nMOS-Transistor 3 ein ist, arbeitet der Differenzverstärker 2. Wenn der nMOS-Transistor 3 aus ist, stoppt der Differenzverstärker 2 den Betrieb.

Die heruntertransformierte Spannung V_d , die von der Hochspannungstransformierschaltung 6 ausgegeben wird, wird an das Gate des nMOS-Transistors 3 angelegt. Die durch den Referenzspannungswähler 8 ausgewählte Referenzspannung wird an das Gate des nMOS-Transistors 14 angelegt. Wie oben beschrieben wurde, ist der Referenzspannungswähler 8 mit dem Referenzspannungsgenerator 7, von dem die Referenzspannungen V_{r1} - V_{r4} eingegeben werden, verbunden und ist weiter mit der Steuerschaltung 9 verbunden.

Die Hochspannungsherunterkonvertierschaltung 6 weist n diodengeschaltete nMOS-Transistoren $Ma1$ - Man und einen nMOS-Transistor Mb auf. Die nMOS-Transistoren $Ma1$ - Man sind in Reihe geschaltet, wobei der Drain des nMOS-Transistors $Ma1$ mit dem Hochspannungseingabeanschluß 5 verbunden ist. Der Source des nMOS-Transistors Man ist mit dem Drain des nMOS-Transistors Mb verbunden und die Leitung dazwischen ist mit dem Gate des nMOS-Transistors 13 in dem Differenzverstärker 2 verbunden.

den. Der Source des nMOS-Transistors Mb ist auf Masse gelegt und eine spezielle Spannung Vcs wird an das Gate des nMOS-Transistors Mb eingegeben.

Zu den nMOS-Transistoren Ma1-Man sind entsprechend nMOS-Transistoren Ta1-Tan parallel geschaltet. Die Gates der nMOS-Transistoren Ta1-Tan sind derart ausreichend kurz oder breit, daß der Ein-Widerstand ausreichend gering ist, und das Gate von jedem nMOS-Transistor Ta1-Tan ist mit der Steuerschaltung 9 verbunden. Der Source und der Back-Gate-Anschluß von jedem nMOS-Transistor Ma1-Man sind derart verbunden, daß eine Variation der entsprechenden Schwellenwerte Vth mittels des Back-Gate-Effektes verhindert wird. Die Gategröße ist dieselbe in allen nMOS-Transistoren Ma1-Man und Mb und die nMOS-Transistoren arbeiten in dem Sättigungsbereich.

Es sollte angemerkt werden, daß der Differenzverstärker 2, der nMOS-Transistor 3 und der Inverter 4 als die Hochspannungserfassungseinrichtung der Ansprüche arbeiten, daß die Hochspannungsherunterkonvertierschaltung 6 als die Hochspannungsherunterkonvertiereinrichtung arbeitet, daß der Referenzspannungsgenerator 7 als die Referenzspannungserzeugungseinrichtung arbeitet, daß der Referenzspannungswähler 8 als die Referenzspannungswahleinrichtung arbeitet und daß die Steuerschaltung 9 als die Steuereinheit arbeitet.

Der nMOS-Transistor Mb arbeitet so als Stromquelle. Wenn die Steuerschaltung 9 alle der nMOS-Transistoren Ta1-Tan ausschaltet und die spezielle Spannung Vcs an das Gate des nMOS-Transistors Mb eingegeben wird, fließt der Strom zu der Reihenschaltung, die die nMOS-Transistoren Ma1-Man aufweist, und die Spannung Vcs fällt zwischen dem Source und dem Drain von jedem nMOS-Transistor Ma1-Man ab. Der resultierende Spannungsabfall Vd von der Hochspannungsherunterkonvertierschaltung 6 kann somit durch die folgende Gleichung [2] ausgedrückt werden.

$$Vd = Vh - n \cdot Vcs \quad [2]$$

Wenn die Steuerschaltung 9 K der nMOS-Transistoren Ta1-Tan ausschaltet, wird die positive Hochspannung Vh, die durch die Hochspannungserfassungsschaltung 1 erfaßt wird, durch die Gleichung [3] ausgedrückt

$$Vh = Vref + K \cdot Vcs \quad [3]$$

wobei K eine ganze Zahl von 0 bis n ist.

Durch Steuern des Referenzspannungswählers 8 wählt die Steuerschaltung 9 eine der mehreren Referenzspannungen Vr1-Vrn, die durch den Referenzspannungsgenerator 7 erzeugt sind, aus und gibt die ausgewählte Referenzspannung als die Referenzspannung Vref des Differenzverstärkers 2 aus. Das Einschalten des nMOS-Transistors 3 bringt den Differenzverstärker 2 zum Arbeiten und die herunterkonvertierte Spannung Vd, die von der Hochspannungsherunterkonvertierschaltung 6 geliefert wird, und die Referenzspannung Vref, die von dem Referenzspannungswähler 8 geliefert wird, differentiell zu verstärken.

Wenn zum Beispiel die herunterkonvertierte Spannung Vd niedriger ist als die Referenzspannung Vref, ist die Eingabe in den Inverter 4 LOW und ein HIGH-Signal wird somit zu dem Hochspannungsgenerator 16 ausgegeben. Die Ladungspumpe des Hochspannungsgenerator 16 konvertiert somit die hohe positive Spannung Vh herauf. Wenn die herunterkonvertierte Spannung Vd dann größer ist als die Referenzspannung Vref, ist die Eingabe in den Inverter 4 HIGH und ein LOW-Signal wird zu dem Hochspannungsgenerator 16 ausgegeben. Der Hochspannungsgenerator 16 stoppt somit die Ladungspumpe und die hohe positive Spannung Vh

wird nicht heraufkonvertiert.

Die Steuerschaltung 9 ändert somit die herunterkonvertierte Spannung Vd durch Ändern der Anzahl K der nMOS-Transistoren Ta1-Tan, die an sind. Durch Steuern des Referenzspannungswählers 8 derart, daß die Referenzspannung Vref, die in den Differenzverstärker 2 eingegeben wird, geändert wird, ist ebenfalls möglich, die durch die Hochspannungserfassungsschaltung 1 erfaßte hohe positive Spannung Vh in kleinen Inkrementen zu steuern.

Eine integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung entsprechend der ersten Ausführungsform kann somit die erfaßbare hohe positive Spannung Vh durch Ändern der herunterkonvertierten Spannung Vd, die von der Herunterkonvertierschaltung 6 in den Differenzverstärker 2 eingegeben wird, und durch Ändern der Referenzspannung Vref, die in den Differenzverstärker 2 eingegeben wird, in feinen Inkrementen einstellen.

Es ist ebenfalls möglich, die Größe des integrierten Halbleiterschaltungseinrichtungschips zu reduzieren, da die Hochspannungsherunterkonvertierschaltung 6 unter Verwendung von nMOS-Transistoren und keinen Widerständen erreicht wird. Dies reduziert ebenfalls die Einrichtungskosten und den Stromverbrauch.

Für den Durchschnittsfachmann ist es ebenfalls naheliegend, daß diodengeschaltete pMOS-Transistoren anstatt der diodengeschalteten nMOS-Transistoren der Hochspannungsherunterkonvertierschaltung 6 in der obigen Ausführungsform verwendet werden können, während derselbe Effekt erreicht wird.

Es ist ebenfalls möglich, Widerstände anstatt der nMOS-Transistoren Ma1-Man, die in der obigen Hochspannungsherunterkonvertierschaltung 6 verwendet sind, zu verwenden. Die Anzahl der Widerstände, die in diesem Fall verwendet werden, ist geringer als die, die in einer der Anmelderin bekannten Hochspannungsherunterkonvertierschaltung benötigt werden, und die Anzahl der Verdrahtungsleitungen kann reduziert werden.

Zweite Ausführungsform

Fig. 2 ist ein Grundschaltbild einer Hochspannungserfassungsschaltung 25 für eine integrierte Halbleiterschaltungseinrichtung entsprechend der zweiten Ausführungsform. Es wird angemerkt, daß die Hochspannungserfassungsschaltung zum Erfassen hoher positiver Spannungen in Fig. 2 nur als Beispiel gezeigt ist. Es wird weiter angemerkt, daß ähnliche Teile durch dieselben Bezugszeichen in Fig. 1 und Fig. 2 bezeichnet sind und daß die weitere Beschreibung davon im folgenden ausgelassen wird. Im folgenden wird nur der Unterschied zu der in Fig. 1 gezeigten Ausführungsform beschrieben.

Die in Fig. 2 gezeigte zweite Ausführungsform unterscheidet sich von der ersten Ausführungsform in Fig. 1 darin, daß der Referenzspannungswähler 8 beseitigt ist und daß eine Einstellschaltung 21 zum Einstellen der herunterkonvertierten Spannung Vd in kleinen Schritten anstatt der Hochspannungsherunterkonvertierschaltung 6 vorgesehen ist. Zusätzlich erzeugt der Referenzspannungsgenerator 7 eine einzelne bekannte Referenzspannung und gibt sie aus. Die Hochspannungsherunterkonvertierschaltung 6 in Fig. 1 wird daher im folgenden als Hochspannungsherunterkonvertierschaltung 22 bezeichnet und der Referenzspannungsgenerator 7 wird als Referenzspannungsgenerator 23 bezeichnet. Die Steuerschaltung in dieser Ausführungsform steuert weiterhin die Einstellschaltung 21 und wird daher als Steuerschaltung 24 bezeichnet. Die Hochspannungserfassungsschaltung 1 von Fig. 1 wird daher ähnlich als Hochspannungserfassungsschaltung 25 bezeichnet.

Die in Fig. 2 gezeigte Hochspannungserfassungsschaltung 25 weist somit einen Differenzverstärker 2, einen nMOS-Transistor 3 zum Steuern des Differenzverstärkers 2 und einen Inverter 4 zum Invertieren des Pegels des Ausgabesignales von dem Differenzverstärker 2, eine Hochspannungsherunterkonvertierschaltung 22, einen Referenzspannungsgenerator 23 und eine Steuerschaltung 24 auf.

Die Hochspannungsherunterkonvertierschaltung 22 konvertiert die hohe positive Spannung, die von dem Hochspannungseingangsanschluß 5 eingegeben ist, derart herunter, daß eine herunterkonvertierte Spannung V_d ausgegeben wird. Der Referenzspannungsgenerator 23 erzeugt eine bekannte Referenzspannung V_{ref} und gibt diese an den Differenzverstärker 2 aus. Die Steuerschaltung 24 steuert Hochspannungsherunterkonvertierschaltung 22 derart, daß der Pegel der herunterkonvertierten Spannung V_d , die von der Hochspannungsherunterkonvertierschaltung 22 an den Differenzverstärker 2 ausgegeben wird, reguliert wird.

Die Hochspannungsherunterkonvertierschaltung 22 weist n nMOS-Transistoren $Ma1-Man$, einen nMOS-Transistor Mb und die Einstellschaltung 21 auf.

Die Einstellschaltung 21 weist nMOS-Transistoren $Md1-Md4$ und $Td1-Td4$, Widerstände $Rd1-Rd3$ und drei Widerstände $Rd4$ auf.

Der Source des diodengeschalteten nMOS-Transistors $Md1$ ist mit dem Drain des nMOS-Transistors Mb verbunden und die Leitung dazwischen ist dem Gate des nMOS-Transistors 13 des Differenzverstärkers 2 verbunden.

Der Drain des nMOS-Transistors $Md1$ ist mit dem Source des nMOS-Transistors $Md2$ verbunden, der Drain des nMOS-Transistors $Md2$ ist mit dem Source des nMOS-Transistors $Md3$ verbunden und der Drain des nMOS-Transistors $Md3$ ist mit dem Source des nMOS-Transistors $Md4$ verbunden. Der Drain des nMOS-Transistors $Md4$ ist mit dem Source des nMOS-Transistors Man verbunden.

Ähnlich zu den nMOS-Transistoren $Ta1-Tan$ sind entsprechende nMOS-Transistoren $Td1-Td4$ parallel mit den nMOS-Transistoren $Md1-Md4$ verbunden. Die Gates der nMOS-Transistoren $Td1-Td4$ sind derart ausreichend kurz oder weit, daß der Ein-Widerstand ausreichend gering ist, und das Gate von jedem nMOS-Transistor $Td1-Td4$ ist mit der Steuerschaltung 24 verbunden. Der Source und der Back-Gate-Anschluß von jedem nMOS-Transistor $Ma1-Man$ und $Md1-Md4$ sind derart verbunden, daß eine Variation des entsprechenden Schwellenwertes V_{th} mittels des Back-Gate-Effektes verhindert wird. Die Gategröße ist ebenfalls in allen nMOS-Transistoren $Md1-Md4$, $Ma1-Man$ und Mb dieselbe und die nMOS-Transistoren arbeiten in dem Sättigungsbereich.

Der Widerstand $Rd4$ ist zwischen dem Gate und dem Source des nMOS-Transistors $Md2$ geschaltet und der Widerstand $Rd1$ ist zwischen dem Gate und dem Drain geschaltet. Der Widerstand $Rd4$ ist zwischen Gate und dem Source des nMOS-Transistors $Md3$ geschaltet und der Widerstand $Rd2$ ist zwischen dem Gate und dem Drain geschaltet. Der Widerstand $Rd4$ ist ähnlich zwischen dem Gate und dem Source des nMOS-Transistors $Md4$ geschaltet und der Widerstand Rd ist zwischen dem Gate und dem Drain geschaltet.

Es wird angemerkt, daß, wenn der Widerstand des Widerstandes $Rd1$ r beträgt, der Widerstand des Widerstandes $Rd2$ $2r$ beträgt, der Widerstand des Widerstandes $Rd3$ $3r$ beträgt und der Widerstand des Widerstandes $Rd4$ $4r$ beträgt.

Es wird weiter angemerkt, daß die Einstellschaltung 21 die Einstelleinrichtung der Ansprüche ist, daß die Hochspannungsherunterkonvertierschaltung 22 als die Hochspannungsherunterkonvertiereinrichtung arbeitet, der Referenzspannungsgenerator 23 als die Referenzspannungser-

zeugungseinrichtung arbeitet und die nMOS-Transistoren $Ma1-Man$ und die nMOS-Transistoren $Ta1-Tan$ als die Spannungsherunterkonvertiereinrichtung arbeiten.

Wenn die Steuerschaltung 24 alle der nMOS-Transistoren $Td1-Td3$ einschaltet, die nMOS-Transistoren $Td1-Td3$ einschaltet und nur den nMOS-Transistor $Td4$ ausschaltet und die bekannte Spannung V_{cs} an das Gate des nMOS-Transistors Mb angelegt wird, fließt der Strom zu der Reihenschaltung der nMOS-Transistoren $Ma1-Man$ und zu der Reihenschaltung der nMOS-Transistoren $Md4$, $Td3$, $Td2$ und $Td1$. Als Ergebnis fällt die Spannung V_{cs} zwischen dem Source und dem Drain von jedem nMOS-Transistor $Ma1-Man$ und zwischen dem Gate und dem Source des nMOS-Transistors $Md4$ ab. Der endgültige Spannungsabfall V_{d4} zwischen dem Gate und dem Source des nMOS-Transistors $Md4$, d. h. der Spannungsabfall der Einstellschaltung 21, kann somit durch die folgende Gleichung [4] dargestellt werden.

$$V_{d4} = (7/4) \cdot V_{cs} = 1,75 V_{cs} \quad [4]$$

Wenn die nMOS-Transistoren $Td1$, $Td2$ und $Td4$ ein sind und $Td3$ aus ist, wird ähnlich der Spannungsabfall der Einstellschaltung 21 $1,5 \cdot V_{cs}$ betragen. Wenn die nMOS-Transistoren $Td1$, $Td3$ und $Td4$ ein sind und $Td2$ aus ist, wird der Spannungsabfall der Einstellschaltung 21 $1,25 V_{cs}$ betragen. Wenn die nMOS-Transistoren Transistoren $Td2$, $Td3$ und $Td4$ ein sind und $Td1$ aus ist, wird der Spannungsabfall der Einstellschaltung 21 V_{cs} betragen.

Es wird angemerkt, daß die Werte der Widerstände $Rd1-Rd4$ so eingestellt sind, daß der Strom, der zu den Widerständen $Rd1-Rd4$ fließt, ausreichend geringer ist als der Strom, der zu der Hochspannungsherunterkonvertierschaltung 22 fließt, wenn der nMOS-Transistor Mb , der als die Stromquelle dient, ein ist.

Die oben beschriebene Einstellschaltung 21 kann somit einen Spannungsabfall von 1,75mal dem Spannungsabfall, der durch die nMOS-Transistoren $Ma1-Man$ bedingt bzw. durchgeführt ist, nur durch Ausschalten des nMOS-Transistors $Md4$ erzielt werden, kann ein Spannungsabfall von 1,5mal nur durch Ausschalten des nMOS-Transistors $Md3$ erzielt werden, kann ein Spannungsabfall von 1,25mal nur durch Ausschalten des nMOS-Transistors $Md2$ erzielt werden und läßt den Spannungsabfall der nMOS-Transistoren $Ma1-Man$ nur durch Ausschalten des nMOS-Transistors $Md1$ durch. Die Steuerschaltung 24 ändert somit die herunterkonvertierte Spannung V_d und stellt somit die durch Hochspannungserfassungsschaltung 25 erfaßte hohe positive Spannung V_h durch Steuern der Anzahl der eingeschalteten nMOS-Transistoren $Ta1-Tan$ derart, daß die Anzahl der eingeschalteten nMOS-Transistoren $Ma1-Man$ eingestellt werden, und durch Steuern welcher der nMOS-Transistoren $Td1-Td4$ ein sind und aus sind derart, daß die endgültige herunterkonvertierte Spannung V_d eingestellt wird, in kleinen Schritten ein.

Fig. 3 ist ein Grundschaltbild einer Hochspannungserfassungsschaltung 35 für eine integrierte Halbleiterschaltungseinrichtung entsprechend der zweiten Ausführungsform, die ein alternatives Beispiel der Einstellschaltung 21 ist. Es wird angemerkt, daß ähnliche Teile durch dieselben Bezugszeichen in Fig. 2 und Fig. 3 bezeichnet sind und daß die weitere Beschreibung davon im folgenden ausgelassen wird. Nur der Unterschied zu der in Fig. 2 gezeigten Ausführungsform wird im folgenden beschrieben.

Die Hochspannungserfassungsschaltung 35, die in Fig. 3 gezeigt ist, weist einen Differenzverstärker 2, einen nMOS-Transistor 3, einen Inverter 4, einen Hochspannungsherunterkonvertierschaltung 32, einen Referenzspannungsgenerator 23 und eine Steuerschaltung 24 auf.

Die Hochspannungsherunterkonvertierschaltung 32 konvertiert die hohe positive Spannung, die von dem Hochspannungseingabeanschluß 5 eingegeben ist, derart herunter, daß eine herunterkonvertierte Spannung V_d ausgegeben wird. Die Steuerschaltung 24 steuert die Hochspannungsherunterkonvertierschaltung 32 derart, daß der Pegel der herunterkonvertierten Spannung V_d , die von der Hochspannungsherunterkonvertierschaltung 32 zu dem Differenzverstärker 2 ausgegeben wird, reguliert wird.

Es wird weiter angemerkt, daß die Einstellschaltung 31 die Einstelleinrichtung der Ansprüche ist, und daß die Hochspannungsherunterkonvertierschaltung 32 als die Hochspannungsherunterkonvertiereinrichtung arbeitet.

Die Hochspannungsherunterkonvertierschaltung 32 weist n nMOS-Transistoren $Ma1-Ma_n$, einen nMOS-Transistor Mb und die Einstellschaltung 31 auf.

Die Einstellschaltung 31 weist nMOS-Transistoren $Md1-Md_n$ und $Td1-Td_n$, Widerstände $Rd1-Rd_n$ und drei Widerstände $Rd4$ auf.

Der Drain des diodengeschalteten nMOS-Transistors $Md1$ ist mit dem Source des nMOS-Transistors $Td1$ verbunden. Der Drain des nMOS-Transistors $Md2$ ist mit dem Source des nMOS-Transistors $Td2$ verbunden. Der Widerstand $Rd4$ ist zwischen dem Gate und dem Source geschaltet und der Widerstand $Rd1$ ist zwischen dem Gate und Drain des nMOS-Transistors $Md2$ geschaltet.

Der Drain des nMOS-Transistors $Md3$ ist ähnlich mit dem Source des nMOS-Transistors $Td3$ verbunden. Der Widerstand $Rd4$ ist zwischen dem Gate und dem Source geschaltet und der Widerstand $Rd2$ ist zwischen dem Gate und dem Drain des nMOS-Transistors $Md3$ geschaltet.

Der Drain des nMOS-Transistors $Md4$ ist ähnlich mit dem Source des nMOS-Transistors $Td4$ verbunden. Der Widerstand $Rd4$ ist zwischen dem Gate und dem Source verbunden und der Widerstand $Rd3$ ist zwischen dem Gate und dem Drain des nMOS-Transistors $Md4$ verbunden.

Die Drain der nMOS-Transistoren $Td1-Td_n$ sind mit dem Source des nMOS-Transistors Ma_n verbunden und die Gates sind mit der Steuerschaltung 24 verbunden. Die Source der nMOS-Transistoren $Md1-Md_n$ sind mit dem Drain des nMOS-Transistors Mb verbunden und die Leitung dazwischen ist mit dem Gate des nMOS-Transistors 13 in dem Differenzverstärker 2 verbunden.

Die Steuerschaltung 24 ändert die herunterkonvertierte Spannung V_d und stellt dadurch die hohe positive Spannung V_h , die durch die Hochspannungserfassungsschaltung 25 erfaßt wird, durch Einschalten einer ausgewählten Anzahl der nMOS-Transistoren $Ta1-Ta_n$ derart, daß die Anzahl der nMOS-Transistoren $Ma1-Ma_n$ eingestellt wird, und durch Steuern welcher der nMOS-Transistoren $Td1-Td_n$ ein ist und aus ist derart, daß weiter die endgültige herunterkonvertierte Spannung V_d eingestellt wird, in kleinen Schritten ein.

Fig. 4 ist grundlegendes Schaltbild einer Hochspannungserfassungsschaltung 45 für eine integrierte Halbleiterschaltungseinrichtung entsprechend der zweiten Ausführungsform, die ein weiteres alternative Beispiel der Einstellschaltung 21 verwendet. Es wird weiter angemerkt, daß ähnliche Teile durch dieselben Bezugszeichen in Fig. 2 und Fig. 4 bezeichnet sind und die weitere Beschreibung im folgenden davon weggelassen wird. Nur der Unterschied von der in Fig. 2 gezeigten Ausführungsform wird im folgenden beschrieben.

Wie bei dem in Fig. 3 gezeigten alternativen Beispiel verwendet die Hochspannungserfassungsschaltung 45, die in Fig. 4 gezeigt ist, eine Einstellschaltung 41 mit einer unterschiedlichen Struktur und weist somit eine Hochspannungsherunterkonvertierschaltung 42 anstatt der Hochspannungsherunterkonvertierschaltung 22 auf.

Mit Bezug zu Fig. 4 weist die Hochspannungserfassungsschaltung 45 einen Differenzverstärker 2, einen nMOS-Transistor 3, einen Inverter 4, eine Hochspannungsherunterkonvertierschaltung 42, einen Referenzspannungsgenerator 23 und eine Steuerschaltung 24 auf.

Die Hochspannungsherunterkonvertierschaltung 42 konvertiert die hohe positive Spannung, die von dem Hochspannungseingabeanschluß 5 eingegeben wird, derart herunter, daß eine herunterkonvertierte Spannung V_d ausgegeben wird. Die Steuerschaltung 24 steuert die Hochspannungsherunterkonvertierschaltung 42 derart, daß der Pegel der herunterkonvertierten Spannung V_d , die von der Hochspannungsherunterkonvertierschaltung 42 zu dem Differenzverstärker 2 ausgegeben wird, reguliert wird.

Es wird weiter angemerkt, daß die Einstellschaltung 41 die Einstelleinrichtung der Ansprüche ist und daß die Hochspannungsherunterkonvertierschaltung 42 als die Hochspannungsherunterkonvertiereinrichtung dient.

Die Hochspannungsherunterkonvertierschaltung 42 weist n nMOS-Transistoren $Ma1-Ma_n$, einen nMOS-Transistor Mb und die Einstellschaltung 41 auf.

Die Einstellschaltung 41 weist nMOS-Transistoren $Md1$ und $Td1-Td_n$ und Widerstände $Rd1-Rd_n$ auf.

Die Drains der nMOS-Transistoren $Md1$ und $Td1-Td_n$ sind gemeinsam mit dem Source des nMOS-Transistors Ma_n verbunden. Die Source der nMOS-Transistoren $Td2, Td3$ und $Td4$ sind gemeinsam mit dem Gate des nMOS-Transistors $Md1$ über den Widerstand $Rd1$, den Widerstand $Rd2$ oder den Widerstand $Rd3$ verbunden.

Der Drain des nMOS-Transistors $Td1$ ist mit dem nMOS-Transistor $Md1$ über den Widerstand $Rd4$ verbunden. Die Source der nMOS-Transistoren $Md1$ und $Td1$ sind gemeinsam mit dem Drain des nMOS-Transistors Mb verbunden. Die Gates der nMOS-Transistoren $Td1-Td_n$ sind mit der Steuerschaltung 24 verbunden.

Die Steuerschaltung 24 ändert die herunterkonvertierte Spannung V_d und stellt damit die hohe positive Spannung V_h , die durch die Hochspannungserfassungsschaltung 45 erfaßt ist, durch Einschalten einer ausgewählten Anzahl von nMOS-Transistoren $Ta1-Ta_n$ derart, daß die Anzahl der nMOS-Transistoren $Ma1-Ma_n$ eingestellt wird, und durch Steuern welcher der nMOS-Transistoren $Td1-Td_n$ ein ist und aus ist derart, daß weiter die endgültige herunterkonvertierte Spannung V_d eingestellt wird, in kleinen Schritten ein.

Wenn zum Beispiel die Steuerschaltung 24 zumindest einen der nMOS-Transistoren $Td2$ bis Td_n einschaltet und den nMOS-Transistor $Td1$ ausschaltet, erzielt die Einstellschaltung 41 denselben Spannungsabfall wie der, der von den nMOS-Transistoren $Ma1-Ma_n$ ausgegeben wird. Weiterhin kann durch Einschalten der nMOS-Transistoren $Td1$ und $Td2$ und durch Ausschalten der nMOS-Transistoren $Td3$ und $Td4$ die Einstellschaltung 41 einen Spannungsabfall von 1,25mal der Ausgabe von den nMOS-Transistoren $Ma1-Ma_n$ erzielen.

Durch Einschalten der nMOS-Transistoren $Td1$ und $Td3$ und durch Ausschalten der nMOS-Transistoren $Td2$ und $Td4$ kann die Einstellschaltung 41 einen Spannungsabfall von 1,5mal der Ausgabe der nMOS-Transistoren $Ma1-Ma_n$ erzielen. Ein Spannungsabfall von 1,75mal der Ausgabe von den nMOS-Transistoren $Ma1-Ma_n$ wird ähnlich durch Einschalten der nMOS-Transistoren $Td1$ und $Td4$ und durch Ausschalten der nMOS-Transistoren $Td2$ und $Td3$ erzielt.

Es wird angemerkt, daß das Gatepotential unter Verwendung eines Spannungsteilers, der von Widerständen in den beispielhaften Hochspannungserfassungsschaltungen, die in Fig. 2 bis 4 gezeigt sind, gesteuert wird, aber um dies zu erzielen ist es für den zu den Widerständen gelieferten Strom notwendig, daß er ausreichend geringer ist als der Stromver-

sorgungsstrom, d. h. es ist für die Widerstände notwendig, ausreichend hoch zu sein. Es ist jedoch schwierig, hohe Widerstände mit CMOS-Prozessen zu erzeugen. Dies macht es notwendig, lange Widerstandsleitungen derart zu verwenden, daß ein ausreichend hoher Widerstand erzielt wird, und dies erhöht die Chipgröße. Diese Schwierigkeit kann jedoch unter Verwendung eines Verarmungs-MOSFET, wie in Fig. 5 gezeigt ist, gelöst werden, da die Verarmungs-MOSFET-Einrichtungen mit einer negativen Schwellenspannung leicht mit CMOS-Prozessen erzeugt werden können.

Es ist auch offensichtlich, daß die Werte der Widerstände Rd1-Rd4 in der obigen zweiten Ausführungsform nur als Beispiel gezeigt sind. Das Spannungsteilungsverhältnis des Spannungsteilers, der aus den Widerständen gebildet ist, die zwischen den Drains und Source der nMOS-Transistoren Md2-Md4 in der Einstellschaltung 21 geschaltet sind, ist ebenfalls nur als Beispiel gezeigt.

Es ist daher für eine integrierte Halbleiterschaltungseinrichtung, die eine Hochspannungserfassungsschaltung entsprechend der zweiten Ausführungsform verwendet, möglich, den Wert der erfaßbaren Hochspannungen Vh in kleinen Größen durch Ändern der herunterkonvertierten Spannung Vd, die von der Hochspannungsherunterkonvertierschaltung zu dem Differenzverstärker 2 eingegeben wird, in kleinen Schritten zu ändern.

Es ist ebenfalls möglich, die Anzahl der Widerstände, die in der Hochspannungsherunterkonvertierschaltung verwendet werden, zu reduzieren und nMOS-Transistoren anstatt von weniger Widerständen zu verwenden. Die integrierte Halbleiterschaltungseinrichtung kann daher auf einem kleineren Chip erreicht werden, wodurch die Kosten und die Leistungsaufnahme verringert werden.

Dritte Ausführungsform

Fig. 6 ist ein grundlegendes Schaltbild einer Hochspannungserfassungsschaltung 51 für eine integrierte Halbleiterschaltungseinrichtung entsprechend der dritten Ausführungsform. Man bemerke, daß eine Hochspannungserfassungsschaltung zum Erfassen hoher negativer Spannungen in Fig. 6 nur als Beispiel gezeigt ist. Man bemerke ebenfalls, daß dieselben Teile durch die denselben Bezugszeichen in Fig. 6 und Fig. 1 bezeichnet sind und daß die weitere Beschreibung davon im folgenden ausgelassen wird.

Die in Fig. 6 gezeigte Hochspannungserfassungsschaltung 51 weist nMOS-Transistoren Mf1-Mfn, 52 und 53, pMOS-Transistoren 54 und 55, einen Inverter 56 und einen Referenzspannungsgenerator 57 auf. Die diodengeschalteten nMOS-Transistoren Mf1-Mfn sind in Reihe geschaltet, wobei der Drain des nMOS-Transistors Mf1 mit dem Source des nMOS-Transistors 52 verbunden ist und der Source des nMOS-Transistors Mfn mit dem Hochspannungseingabeanschluß 58, an den die hohe negative Spannung V1 angelegt wird, verbunden ist.

Die pMOS-Transistoren 54 und 55 bilden eine Stromspiegelschaltung, wobei ihre Gates miteinander verbunden sind und die Leitung dazwischen mit dem Drain des pMOS-Transistors 54 verbunden ist. Die Source der pMOS-Transistoren 54 und 55 sind mit dem Strom- bzw. Spannungsversorgungsanschluß 15 verbunden und der Drain des pMOS-Transistors 54 ist mit dem Drain des nMOS-Transistors 52 verbunden. Der Drain des pMOS-Transistors 55 ist mit dem Drain des nMOS-Transistors 53 verbunden, die Leitung dazwischen ist mit dem Eingang des Inverters 56 verbunden und der Source des nMOS-Transistors 53 ist auf Masse gelegt.

Die Ausgabe von dem Inverter 56 ist die Ausgabe von der Hochspannungserfassungsschaltung 51, die zu dem Hoch-

spannungsgenerator 59 eingegeben wird. Der Hochspannungsgenerator 59 weist eine Ladepumpschaltung auf und gibt die hohe negative Spannung V1 aus.

Die Ausgabe des Hochspannungsgenerators 59 wird an eine spezielle Schaltung, die in den Figuren nicht gezeigt ist, angelegt und an den Hochspannungseingabeanschluß 58. Die Referenzspannung Vref1 wird von dem Referenzspannungsgenerator 57 an das Gate des nMOS-Transistors 52 geliefert und die Referenzspannung Vref2 wird ähnlich von dem Referenzspannungsgenerator 57 an das Gate des pMOS-Transistors 53 angelegt, der als ein Konstantstromgenerator arbeitet.

Die Source und die Back-Gate-Anschlüsse der nMOS-Transistoren Mf1-Mfn, 52 und 53 und der pMOS-Transistoren 54 und 55 sind derart verbunden, daß eine Variation des entsprechenden Schwellenwertes Vth mittels des Back-Gate-Effektes verhindert wird. Die Gategröße bzw. -abmessung ist dieselbe bei allen nMOS-Transistoren Mf1-Mfn, 52 und 53 und die nMOS-Transistoren arbeiten in dem Sättigungsbereich.

Es wird angemerkt, daß die nMOS-Transistoren 52 und Mf1-Mfn und der pMOS-Transistor 54 als die Stromumwandlungseinrichtung der Ansprüche arbeiten, der nMOS-Transistor 53 als der Konstantstromgenerator arbeitet, die pMOS-Transistoren 54 und 55 als die Spannungsumwandlungseinrichtung arbeiten, der Inverter 56 als die Hochspannungserfassungseinrichtung arbeitet und der Referenzspannungsgenerator 57 als die Referenzspannungserzeugungseinrichtung arbeitet. Es wird weiter angemerkt, daß die Referenzspannung Vref1 die erste Referenzspannung ist und daß die Referenzspannung Vref2 die zweite Referenzspannung der Ansprüche ist.

Der Strom Iref, der zu dem Drain des nMOS-Transistors 53 fließt, d. h. der Strom Iref, der zu dem Konstantstromgenerator fließt, wird durch die Gleichung [5] definiert.

$$I_{ref} = (K_p/2) \cdot (W/L) \cdot (V_{ref2} - V_{th})^2 \quad [5]$$

wobei W die Gatebreite ist, L die Gatelänge ist und $K_p = \mu \cdot Cox$. Man bemerke, daß μ die Beweglichkeit ist und daß Cox die Kapazität bzw. Kapazität des Gateoxidfilms ist.

Der Stromspiegel, der die pMOS-Transistoren 54 und 55 aufweist, bringt den Strom Ia, der zu der Serienschaltung der nMOS-Transistoren Mf1-Mfn fließt, dazu, daß er zu dem Drain des nMOS-Transistors 53 fließt. Wenn Ia kleiner ist als Iref, ist die Eingabe in den Inverter 56 LOW und daher wird ein HIGH-Signal zu dem Hochspannungsgenerator 59 ausgegeben. Dies bringt den Hochspannungsgenerator 59 dazu, die Ladepumpschaltung zu treiben und die hohe negative Spannung V1 abzugeben. Wenn Ia größer als Iref ist, ist die Eingabe in den Inverter 56 HIGH und ein LOW-Signal wird daher zu dem Hochspannungsgenerator 59 ausgegeben. Dies bedingt, daß der Hochspannungsgenerator 59 aufhört, die Ladepumpschaltung zu treiben.

Die Schwellenspannung Vth des nMOS-Transistors 52 und des nMOS-Transistors 53 sind dieselbe und ein Strom gleich zu dem Strom, der zu dem Drain des nMOS-Transistors 53 fließt, fließt daher zu der Reihenschaltung, die die nMOS-Transistoren Mf1-Mfn und 52 aufweist. Dieser Strom kann von der Gleichung [6] berechnet werden.

$$I_{ref} = (K_p/2) \cdot (W/L) \cdot \{ (V_{ref1} - V_1)/(n+1) - V_{th} \}^2 \quad [6]$$

Gleichung [7]

$$V_{ref2} = (V_{ref1} - V_1)/(n+1) \quad [7]$$

kann von den Gleichungen [5] und [6] hergeleitet werden

und die Gleichung [8] kann von der Gleichung [7] hergeleitet werden.

$$V_1 = V_{ref} - (n+1) \cdot V_{ref} \quad [8]$$

Die hohe negative Spannung V_1 , die durch die Gleichung [8] definiert ist, wird somit durch die Hochspannungserfassungsschaltung 51 entsprechend der dritten Ausführungsform erfaßt.

Eine integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung entsprechend der dritten Ausführungsform kann somit hohe negative Spannung unter Verwendung eines einfachen Schaltungsdesigns erfassen. Die Anzahl der Elemente, die für eine Erfassungsschaltung für eine hohe negative Spannung benötigt werden, kann somit reduziert werden. Herstellungsunterschiede bei der Erfassungsschaltung für die hohe negative Spannung können daher reduziert werden, wodurch die Hochspannungserfassungsschaltung verbessert wird und die Einrichtungskosten reduziert werden.

Vierte Ausführungsform

Fig. 7 ist ein Grundschriftbild einer Hochspannungserfassungsschaltung 51 für eine integrierte Halbleiterschaltungseinrichtung entsprechend der vierten Ausführungsform. Es wird angemerkt, daß eine Hochspannungserfassungsschaltung zum Erfassen hoher negativer Spannungen in Fig. 7 nur als Beispiel gezeigt ist. Es wird ebenfalls angemerkt, daß dieselben Teile durch dieselben Bezugszeichen in Fig. 7, Fig. 6 und Fig. 1 bezeichnet werden und daß die weitere Beschreibung davon im folgenden ausgelassen wird.

Die Hochspannungserfassungsschaltung 71, die in Fig. 7 gezeigt ist, weist n (wobei n eine natürliche Zahl ist) nMOS-Transistoren $Mg1-Mgn$, m (wobei m eine natürliche Zahl ist) nMOS-Transistoren $Mk1-Mkm$, pMOS-Transistoren 72 und 73 und die Differenzverstärker 74 und 75 auf. Die diodengeschalteten nMOS-Transistoren $Mg1-Mgn$ sind in Reihe geschaltet, wobei der Drain des nMOS-Transistors $Mg1$ mit dem Drain des pMOS-Transistors 73 verbunden ist und die Leitung dazwischen mit dem invertierten Eingang des Differenzverstärkers 74 verbunden ist.

Der Source des nMOS-Transistors Mgn ist mit dem Hochspannungseingangsanschluß 57, an den die hohe negative Spannung V_1 angelegt wird, verbunden. Der Source des pMOS-Transistors 73 ist mit dem Strom- bzw. Spannungsversorgungsanschluß 15 verbunden.

Das Gate des pMOS-Transistors 72 ist mit dem Gate des pMOS-Transistors 73 verbunden und die Leitung dazwischen ist mit dem Ausgang des Differenzverstärkers 75 verbunden. Die diodengeschalteten nMOS-Transistoren $Mk1-Mkn$ sind in Reihe geschaltet, wobei der Drain des nMOS-Transistors $Mk1$ mit dem Drain des pMOS-Transistors 72 verbunden ist und die Leitung dazwischen mit dem nicht-invertierten Eingang des Differenzverstärkers 74 und 75 verbunden ist. Der Source des nMOS-Transistors Mkm ist auf Masse gelegt. Der Source des pMOS-Transistors 72 ist mit dem Stromversorgungsanschluß 15 verbunden. Eine Referenzspannung V_{ref} wird an den invertierenden Anschluß des Differenzverstärkers 75 angelegt. Die Ausgabe des Differenzverstärkers 74 ist die Ausgabe der Hochspannungserfassungsschaltung 71 und wird an den Eingang des Hochspannungsgenerators 59 angelegt.

Die Source- und Back-Gate-Anschlüsse der nMOS-Transistoren $Mg1-Mgn$, $Mk1-Mkm$ und der pMOS-Transistoren 72 und 73 sind derart verbunden, daß eine Variation des entsprechenden Schwellenwertes V_{th} mittels des Back-Gate-Effektes verhindert wird. Die Gateabmessung ist dieselbe

bei allen nMOS-Transistoren $Mg1-Mgn$ und $Mk1-Mkm$ und die nMOS-Transistoren arbeiten in dem Sättigungsbereich. Die Gateabmessung ist auch dieselbe bei den pMOS-Transistoren 72 und 73.

Es wird angemerkt, daß die nMOS-Transistoren $Mk1-Mkm$ als die erste Spannungsherunterkonvertiereinrichtung der Ansprüche arbeiten, daß die nMOS-Transistoren $Mg1-Mgn$ als die zweite Spannungsherunterkonvertiereinrichtung arbeiten, daß die pMOS-Transistoren 72 und 73 und der Differenzverstärker 75 als die Konstantstromerzeugungseinrichtung arbeiten und daß der Differenzverstärker 74 als die Hochspannungserfassungseinrichtung arbeitet.

In der Hochspannungserfassungsschaltung 71 benutzt der Differenzverstärker 75 eine Rückkopplungsschleife derart, daß eine Spannung an das Gate des pMOS-Transistors 72 derart angelegt wird, daß der Strom, der von dem pMOS-Transistor 72 zu der Reihenschaltung der nMOS-Transistoren $Mk1-Mkm$ fließt, die Referenzspannung V_{ref} erzeugt. Die an das Gate des pMOS-Transistors 72 angelegte Spannung wird gleichzeitig an das Gate des pMOS-Transistors 73 angelegt und der Strom von dem pMOS-Transistor 73 fließt zu der Reihenschaltung der nMOS-Transistoren $Mg1-Mgn$.

Wenn dasselbe Potential an beide Eingänge des Differenzverstärkers 74 angelegt wird, liefern die pMOS-Transistoren 72 und 73 denselben Strom zu den stromabwärtigen Reihenschaltungen. Der Spannungsabfall in der Reihenschaltung der nMOS-Transistoren $Mg1-Mgn$ beträgt zu dieser Zeit ($V_{ref}-V_1$) und die Gleichung [9] trifft zu.

$$V_{ref}-V_1 = (n/m) \cdot V_{ref} \quad [9]$$

Als Ergebnis kann die Hochspannungserfassungsschaltung 71 die hohe negative Spannung, die durch die Gleichung [10] bestimmt ist, erfassen.

$$V_1 = -(n/m-1) \cdot V_{ref} \quad [10]$$

Es ist daher, wie von der Gleichung [10] offensichtlich, möglich, den Pegel der erfassbaren hohen negativen Spannung V_1 durch Ändern der Anzahl der nMOS-Transistoren, die durch die Werte von n und m dargestellt sind, einzustellen.

Bei der integrierten Halbleiterschaltungseinrichtung entsprechend der vierten Ausführungsform sind der Strom, der zu der Reihenschaltung der nMOS-Transistoren $Mk1-Mkm$ fließt, und der Strom, der zu der Reihenschaltung der nMOS-Transistoren $Mg1-Mgn$ fließt, prinzipiell derselbe und nicht durch Temperatur und eine Stromversorgungsspannung beeinflusst. Es ist daher möglich, eine integrierte Halbleiterschaltungseinrichtung mit größerer Stabilität und Widerstand zu Änderung in der Umgebung vorzusehen. Die Präzision der Erfassung einer hohen Spannung kann daher verbessert werden und der Wert der erfassbaren hohen Spannung V_1 kann in feinen Schritten bzw. Inkrementen eingestellt werden.

Patentansprüche

1. Eine integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung (1) zum Erfassen hoher Spannungspegel, mit einer Hochspannungsherunterkonvertiereinrichtung (6) zum Herunterkonvertieren einer eingegebenen Hochspannung (V_h) und Ausgeben der herunterkonvertierten Spannung (V_d), einer Referenzspannungserzeugungseinrichtung (7) zum Erzeugen und Ausgeben von mehreren Referenz-

spannungen (Vr1, Vr2, Vr3, Vr4), einer Referenzspannungsauswahleinrichtung (8) zum Auswählen einer der mehreren Referenzspannungen (Vr1, Vr2, Vr3, Vr4), die von der Referenzspannungserzeugungseinrichtung (7) geliefert werden, und zum Ausgeben der ausgewählten Referenzspannung (Vref), einer Hochspannungserfassungseinrichtung (2, 3, 4) zum Vergleichen der von der Hochspannungsherunterkonvertiereinrichtung (6) ausgegebenen Spannung (Vd) und der von der Referenzspannungsauswahleinrichtung (8) ausgegebenen Referenzspannung (Vref) derart, daß eine Hochspannung erfaßt wird, und einer Steuereinheit (9) zum Steuern des Spannungsabfalls der Hochspannung (Vh) durch die Hochspannungsherunterkonvertiereinrichtung (6) und zum Steuern der durch die Referenzspannungsauswahleinrichtung (8) ausgewählten Referenzspannung (Vref) derart, daß die durch die Hochspannungserfassungseinrichtung (2, 3, 4) erfaßte Hochspannung (Vh) eingestellt wird.

2. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 1, bei der die Hochspannungsherunterkonvertiereinrichtung (6) eine Spannungsherunterkonvertierschaltung (Ma1-Man) zum Herunterkonvertieren einer Hochspannung (Vh) mittels zumindest einem diodengeschalteten MOSFET (Ma1-Man), der in Reihe geschaltet ist, eine Stromversorgung (Md), die mit der Spannungsherunterkonvertierschaltung (Ma1-Man) in Reihe geschaltet ist, und eine Schalteinrichtung (Ta1-Tan) zum Kurzschließen des Drain und des Source von jedem MOSFET (Ma1 Man) der Spannungsherunterkonvertierschaltung durch einen Schaltbetrieb aufweist, wobei die Steuereinheit (9) die von Hochspannungsherunterkonvertiereinrichtung (6) ausgegebene Spannung (Vd) durch Steuern des Betriebes der Schalteinrichtung (Ta1-Tan) derart, daß der Spannungsabfall der Spannungsherunterkonvertierschaltung (Ma1-Man) geändert wird, steuert.

3. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 1, bei der die Hochspannungsherunterkonvertiereinrichtung (6) eine Spannungsherunterkonvertierschaltung zum Herunterkonvertieren einer Hochspannung mittels mehrerer Widerstände, die in Reihe geschaltet sind, eine Stromversorgung (Mb), die in Reihe mit der Spannungsherunterkonvertierschaltung geschaltet ist, und eine Schalteinrichtung (Ta1-Tan), die parallel zu den Widerständen, die die Spannungsherunterkonvertierschaltung bilden, zum Kurzschließen der Widerstände durch einen Schaltbetrieb geschaltet ist, aufweist, wobei die Steuereinheit (9) die von der Hochspannungsherunterkonvertiereinrichtung (6) ausgegebene Spannung (Vd) durch Steuern des Betriebes der Schalteinrichtung (Ta1-Tan) derart, daß der Spannungsabfall der Spannungsherunterkonvertierschaltung geändert wird, steuert.

4. Integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung (25, 35, 35) zum Erfassen hoher Spannungspegel, mit einer Hochspannungsherunterkonvertiereinrichtung (22, 32, 42) zum Herunterkonvertieren einer eingegebenen Hochspannung (Vh) und zum Ausgeben der herunterkonvertierten Spannung (Vd), einer Referenzspannungserzeugungseinrichtung (23) zum Erzeugen und Ausgeben einer Referenzspannung

(Vref), einer Hochspannungserfassungseinrichtung (2, 3, 4) zum Vergleichen der von der Hochspannungsherunterkonvertiereinrichtung (22, 32, 42) ausgegebenen Spannung (Vd) und der von der Referenzspannungserzeugungseinrichtung (23) ausgegebenen Referenzspannung (Vref) derart, daß eine Hochspannung (Vh) erfaßt wird, und einer Steuereinheit (24) zum Steuern des Spannungsabfalls der Hochspannung durch die Hochspannungsherunterkonvertiereinrichtung (23) derart, daß die durch die Hochspannungserfassungseinrichtung (22, 32, 42) erfaßte Hochspannung (Vh) eingestellt wird, bei der die Hochspannungsherunterkonvertiereinrichtung (22, 32, 42) eine Spannungsherunterkonvertiereinrichtung (Ma1-Man) zum Herunterkonvertieren der Spannung um spezifische ganzzahlige Vielfache einer vorbestimmten Spannung, eine Einstelleinrichtung (21, 31, 41) zum Herunterkonvertieren der Spannung in kleineren Schritten als ein ganzzahlig Vielfaches der vorbestimmten Spannung und eine Stromversorgung (Mb) zum Liefern eines Stroms zu der Spannungsherunterkonvertiereinrichtung (Ma1-Man) und zu der Einstelleinrichtung (21), aufweist, wobei die Steuereinheit (24) den Spannungsabfall durch die Spannungsherunterkonvertiereinrichtung (Ma1-Man) und durch die Einstelleinrichtung (21) derart steuert, daß die von der Hochspannungsherunterkonvertiereinrichtung (22, 32, 42) ausgegebene Spannung (Vd) gesteuert wird und dadurch die durch die Hochspannungserfassungseinrichtung (2, 3, 4) erfaßte Hochspannung (Vh) eingestellt wird.

5. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 4, bei der die Spannungsherunterkonvertiereinrichtung (Ma1-Man) eine Spannungsherunterkonvertierschaltung mit zumindest einem diodengeschalteten MOSFET (Ma1-Man), der in Reihe geschaltet ist, und eine erste Schaltschaltung mit Schaltelementen (Ta1-Tan) zum Kurzschließen des Drain und des Source von jedem MOSFET (Ma1-Man) der Spannungsherunterkonvertierschaltung durch einen Schaltbetrieb aufweist, wobei die Steuereinheit (24) den durch die Hochspannungserfassungseinrichtung (2, 3, 4) erfaßten Hochspannungswert durch Steuern des Betriebes von jedem Schaltelement (Ta1-Tan) in der ersten Schaltschaltung derart, daß der Spannungsabfall der Hochspannung (Vh) durch die Hochspannungsherunterkonvertiereinrichtung (22) gesteuert wird und dadurch die von der Hochspannungsherunterkonvertiereinrichtung (22) ausgegebene Spannung (Vd) steuert, einstellt.

6. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 4 oder 5, bei der die Einstelleinrichtung (21) eine Feineinstellschaltung, die in Reihe mit der Spannungsherunterkonvertierschaltung geschaltet ist, aufweist, die Feineinstellschaltung zumindest einen in Reihe geschalteten MOSFET (Md1-Md4), bei der eine durch einen Widerstand (Rd1-Rd4) gebildete Spannungsteilungsschaltung zwischen dem Source und dem Drain von jedem MOSFET (Md1-Md4) geschaltet ist und wobei die durch die Spannungsteilungsschaltung geteilte Spannung an das Gate des MOSFET gegeben wird, und eine zweite Schaltschaltung, die für jeden MOSFET

(Md1-Md4) in der Feineinstellschaltung ein Schaltelement (Td1-Td4) aufweist, das derart geschaltet wird, daß der Drain und der Source des entsprechenden MOSFET (Md1-Md4) kurzgeschlossen wird, aufweist, wobei die Steuereinheit (24) den durch die Hochspannungserfassungseinrichtung (2, 3, 4) erfaßten Hochspannungswert durch Steuern des Betriebes von jedem Schaltelement (Td1-Td4) in der zweiten Schaltschaltung derart, daß der Spannungsabfall der Hochspannung durch die Hochspannungsherunterkonvertiereinrichtung (22) in kleinen Schritten eingestellt wird und dadurch die von der Hochspannungsherunterkonvertiereinrichtung (22) ausgegebene Spannung (Vd) in kleinen Schritten gesteuert wird, einstellt.

7. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 4 oder 5, bei der die Einstelleinrichtung (31) eine Feineinstellschaltung ist, die in Reihe mit der Spannungsherunterkonvertierschaltung (Ma1-Man) geschaltet ist, die Feineinstellschaltung eine Reihenschaltung und zumindest eine ähnliche parallel geschaltete Reihenschaltung, wobei jede Reihenschaltung einen MOSFET (Md2-Md4), der eine aus einem Widerstand (Rd1-Rd4) gebildete Spannungsteilungsschaltung aufweist, die zwischen dem Source und dem Drain geschaltet ist, wobei die durch die Spannungsteilungsschaltung geteilte Spannung an das Gate des MOSFET (Md2-Md4) in Reihe geschalteten Schalt-MOSFET (Td2-Td4) aufweist, aufweist, wobei die Steuereinheit (24) den durch die Hochspannungserfassungseinrichtung (2, 3, 4) erfaßten Hochspannungswert durch Steuern des Schaltbetriebes von jedem Schalt-MOSFET (Td2-Td4) derart, daß der Spannungsabfall der Hochspannung durch die Hochspannungsherunterkonvertiereinrichtung (32) in kleinen Schritten eingestellt wird und dadurch die von der Hochspannungsherunterkonvertiereinrichtung (32) ausgegebene Spannung in kleinen Schritten gesteuert wird, einstellt.

8. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 4 oder 5, bei der die Einstelleinrichtung (41) eine Feineinstellschaltung ist, die in Reihe mit der Spannungsherunterkonvertierschaltung (Ma1-Man) geschaltet ist, die Feineinstellschaltung einen MOSFET (Md1) mit zumindest einer Reihenschaltung aufweist, die einen Widerstand (Rd1-Rd3) und einen Schalt-MOSFET (Td2-Td4) aufweist, die zwischen dem Gate und dem Drain und zwischen dem Gate und dem Source des MOSFET (Md1) geschaltet ist, wobei die Steuereinheit (24) den durch die Hochspannungserfassungseinrichtung (2, 3, 4) erfaßten Hochspannungswert durch Steuern des Schaltbetriebes von jedem Schalt-MOSFET (Td2-Td4) derart, daß der Spannungsabfall der Hochspannung durch die Hochspannungsherunterkonvertiereinrichtung (42) in kleinen Schritten eingestellt wird und dadurch die von der Hochspannungsherunterkonvertiereinrichtung (42) ausgegebene Spannung (Vd) in kleinen Schritten gesteuert wird, einstellt.

9. Integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung (51, 71) zum Erfassen von Hochspannungspegeln, mit einer Referenzspannungserzeugungseinrichtung (57) zum Erzeugen und Ausgeben einer ersten Referenz-

spannung (Vref1) und einer zweiten Referenzspannung (Vref2), einer Stromumwandlungseinrichtung (52, Mf1-Mfn, 54) zum Umwandeln der Spannungsdifferenz zwischen der ersten Referenzspannung (Vref1) und der Hochspannung (V1) zu einem Stromwert, einem Konstantstromgenerator (53) zum Erzeugen und Ausgeben eines Konstantstromes entsprechend der zweiten Referenzspannung (Vref2), einer Spannungsumwandlungseinrichtung (54, 55) zum Umwandeln der Stromdifferenz zwischen dem durch die Stromumwandlungseinrichtung (52, Mf1-Mfn, 42) umgewandelten Strom und dem von dem Konstantstromgenerator (53) ausgegebenen Konstantstrom zu einer Spannung und einer Hochspannungserfassungseinrichtung (56) zum Erfassen des Hochspannungswertes der durch die Spannungsumwandlungseinrichtung (54, 55) umgewandelten Spannung.

10. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 9, bei der die Spannungsumwandlungseinrichtung (54, 55) eine Stromspiegelschaltung ist, die Stromspiegelschaltung den durch die Stromumwandlungseinrichtung (52, Mf1-Mfn, 54) umgewandelten Strom an den Ausgang des Konstantstromgenerators (53) liefert und wobei die Hochspannungserfassungseinrichtung (56) den Hochspannungswert der Spannung an dem Ausgang des Konstantstromgenerators (53) erfaßt.

11. Integrierte Halbleiterschaltungseinrichtung nach Anspruch 9 oder 10, bei der die Stromumwandlungseinrichtung (52, Mf1-Mfn, 54) eine Spannungspegelumwandlungsschaltung von zumindest einem diodengeschalteten MOSFET (Mf1-Mfn), der in Reihe geschaltet ist, aufweist und ein MOSFET (52), der mit dem Eingang der Spannungspegelumwandlungsschaltung verbunden ist, die an das Gate eingegebene erste Referenzspannung (Vref1) aufweist und als der Eingang der Stromumwandlungseinrichtung (52, Mf1-Mfn, 54) arbeitet, und eine hohe negative Spannung (V1) an den Ausgang (58) der Spannungspegelumwandlungsschaltung angelegt ist.

12. Integrierte Halbleiterschaltungseinrichtung mit einer Hochspannungserfassungsschaltung (71) zum Erfassen von Hochspannungspegeln mit einer ersten Spannungsherunterkonvertiereinrichtung (Mk1-Mkm) aus zumindest einem diodengeschalteten MOSFET (Mkm), der in Reihe geschaltet ist dessen Ausgang auf Masse gelegt ist, einer zweiten Spannungsherunterkonvertiereinrichtung (Mg1-Mgn) aus zumindest einem diodengeschalteten MOSFET (Mgn), der in Reihe geschaltet ist und der eine an seinem Ausgang angelegte hohe negative Spannung (V1) aufweist, einer Referenzspannungserzeugungseinrichtung (23) zum Erzeugen und Ausgeben einer speziellen Referenzspannung (Vref), einem Konstantstromgenerator (72, 73, 75) zum Erzeugen eines Konstantstromes, wobei die Eingabe der ersten Spannungsherunterkonvertiereinrichtung (Mk1-Mkn) eine spezielle Referenzspannung (Vref) erreicht, und zum Ausgeben des Konstantstromes zu der ersten und zweiten Spannungsherunterkonvertiereinrichtung (Mk1-Mkn, Mg1-Mgn) und einer Hochspannungserfassungseinrichtung (74) zum Vergleichen der zu der ersten Spannungsherunterkon-

verviereinrichtung (Mk1-Mkn) eingegebenen Spannung mit der zu der zweiten Spannungsherunterkonvertiereinrichtung (Mg1-Mgn) eingegebenen Spannung derart, daß der Hochspannungswert erfaßt wird.

Hierzu 9 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

Fig. 1

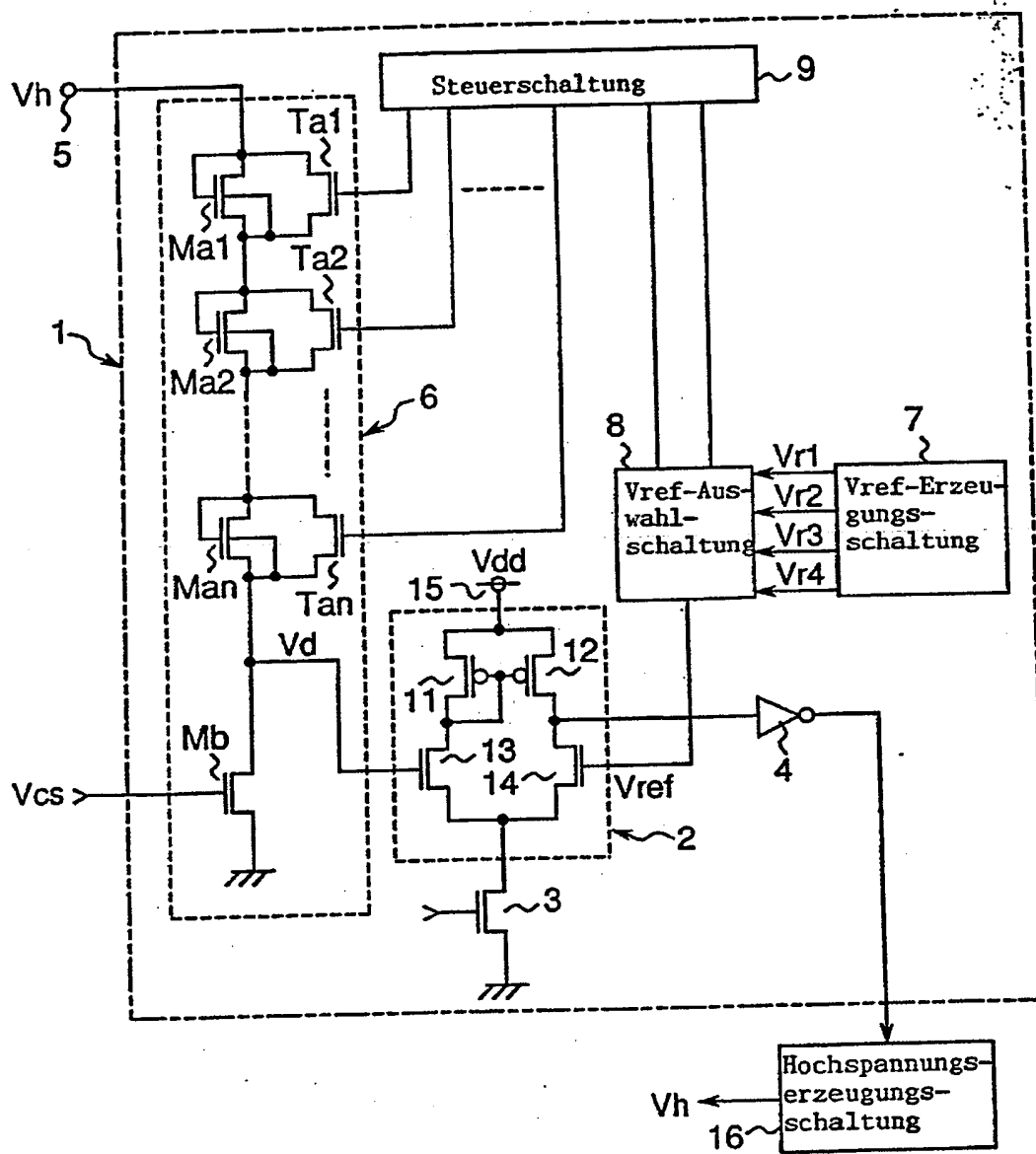


Fig.2

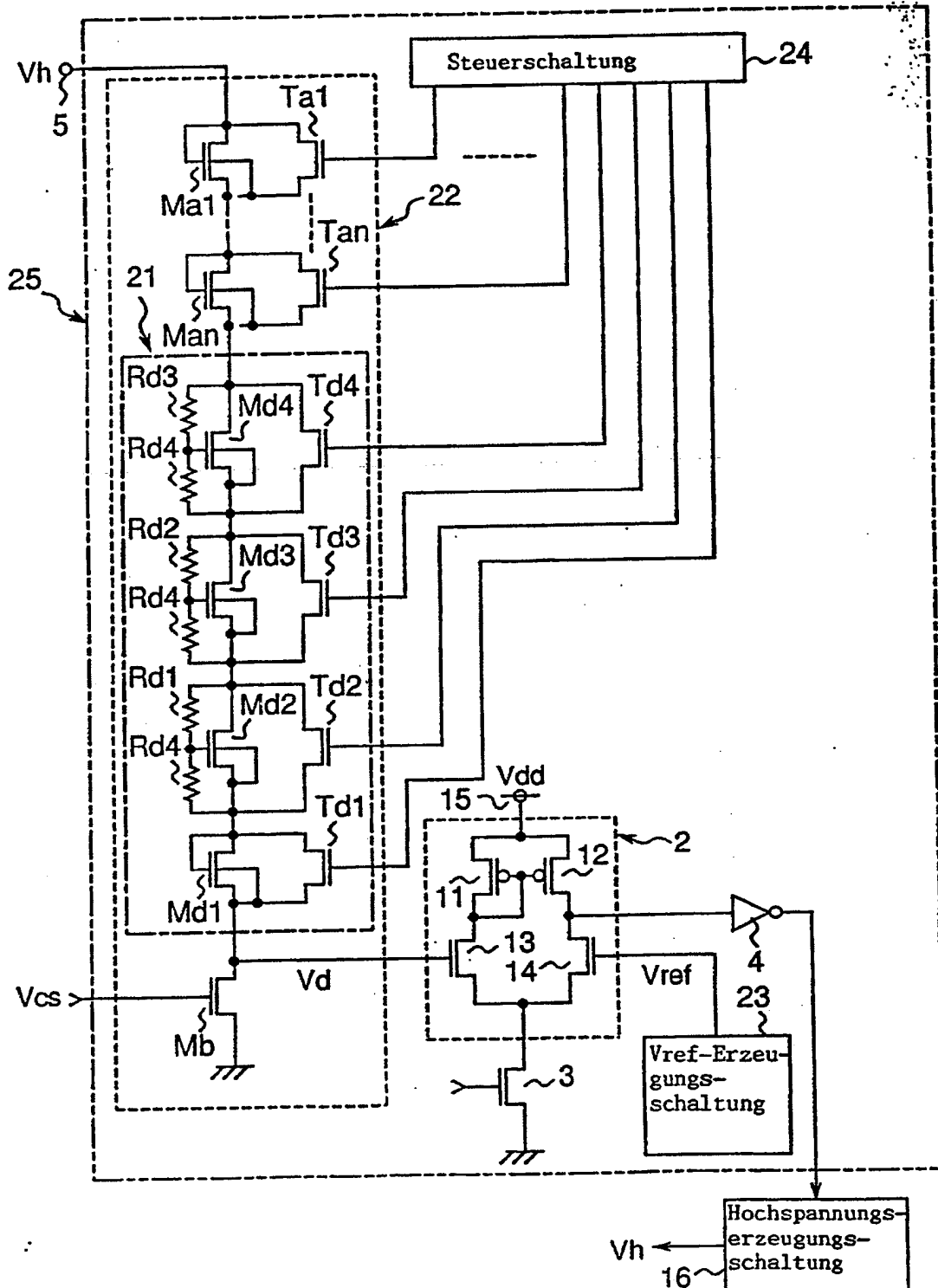


Fig.3

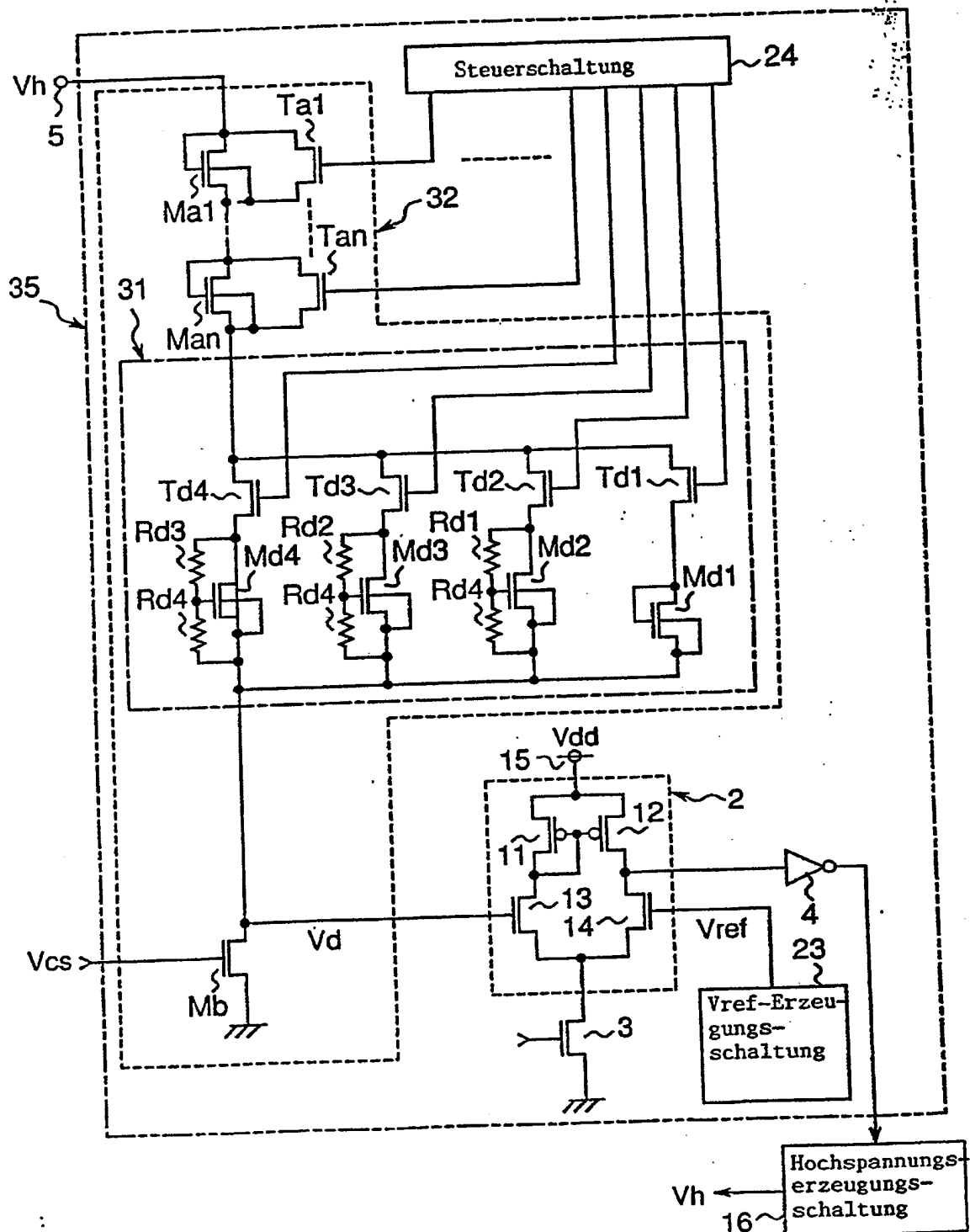


Fig.4

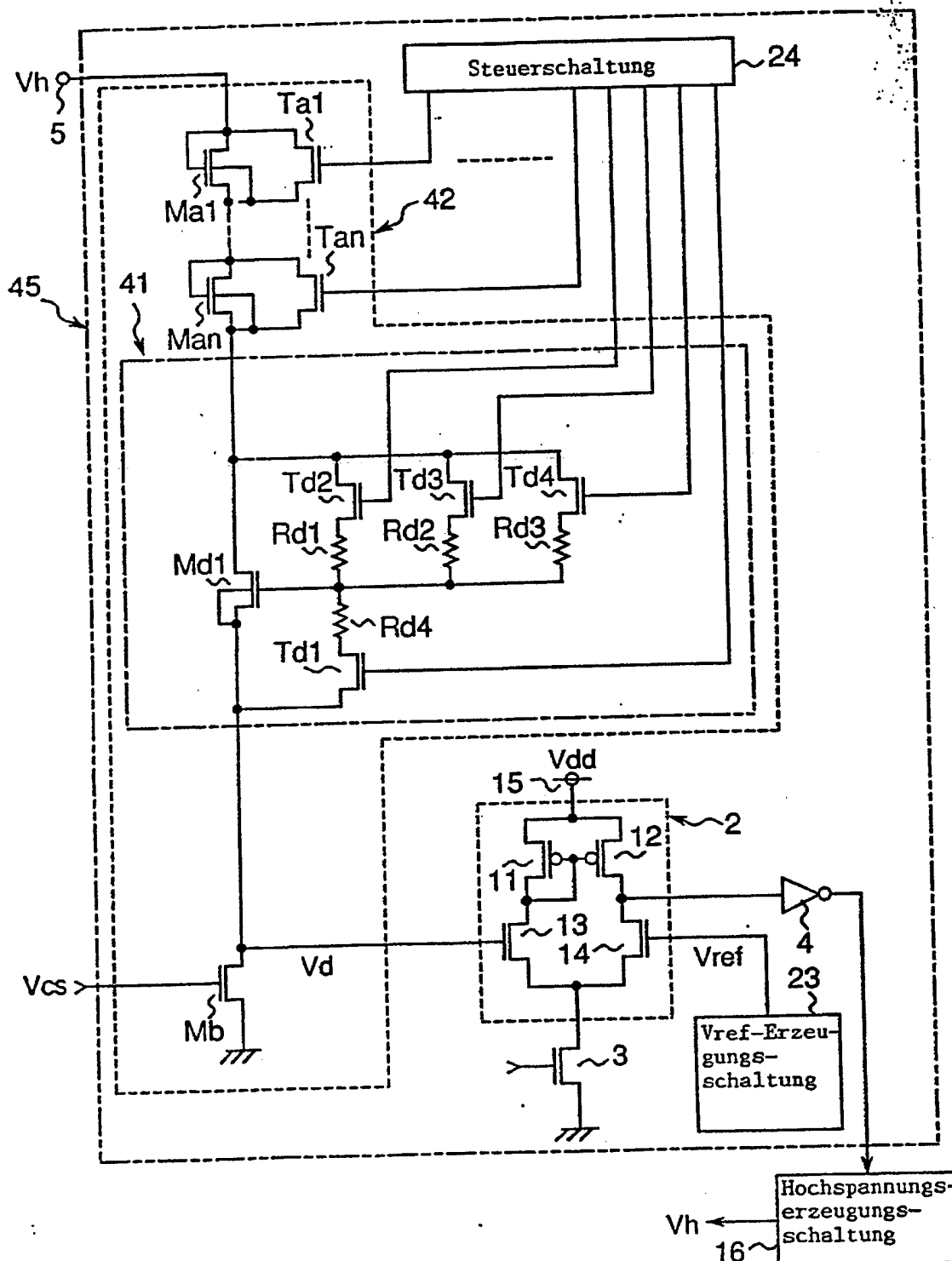


Fig.5



Fig.6

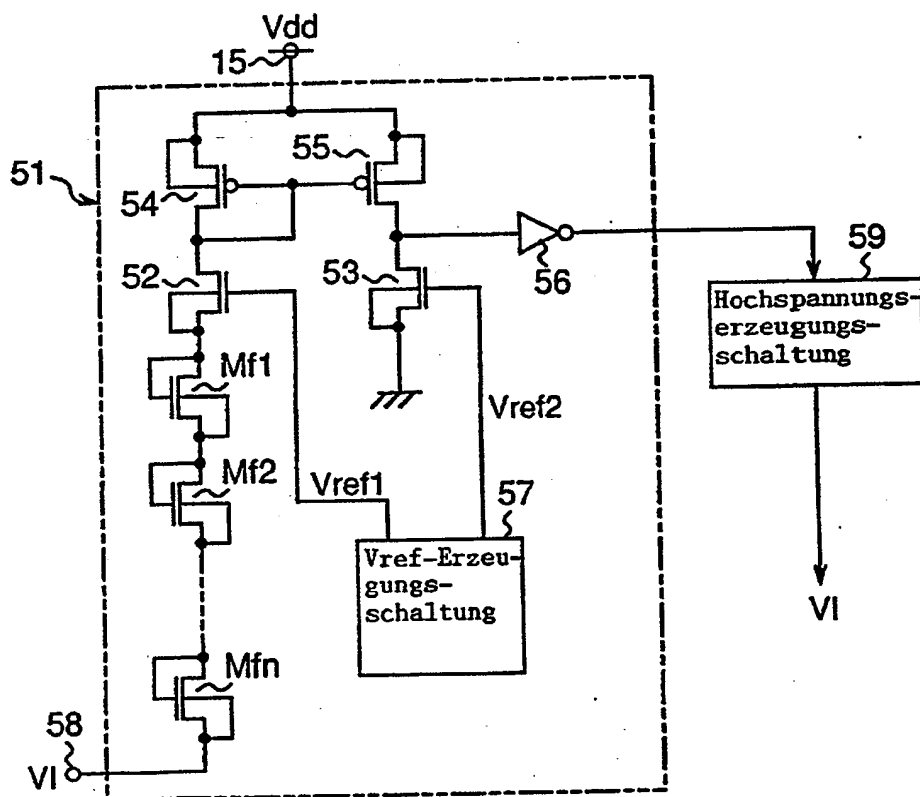


Fig.7

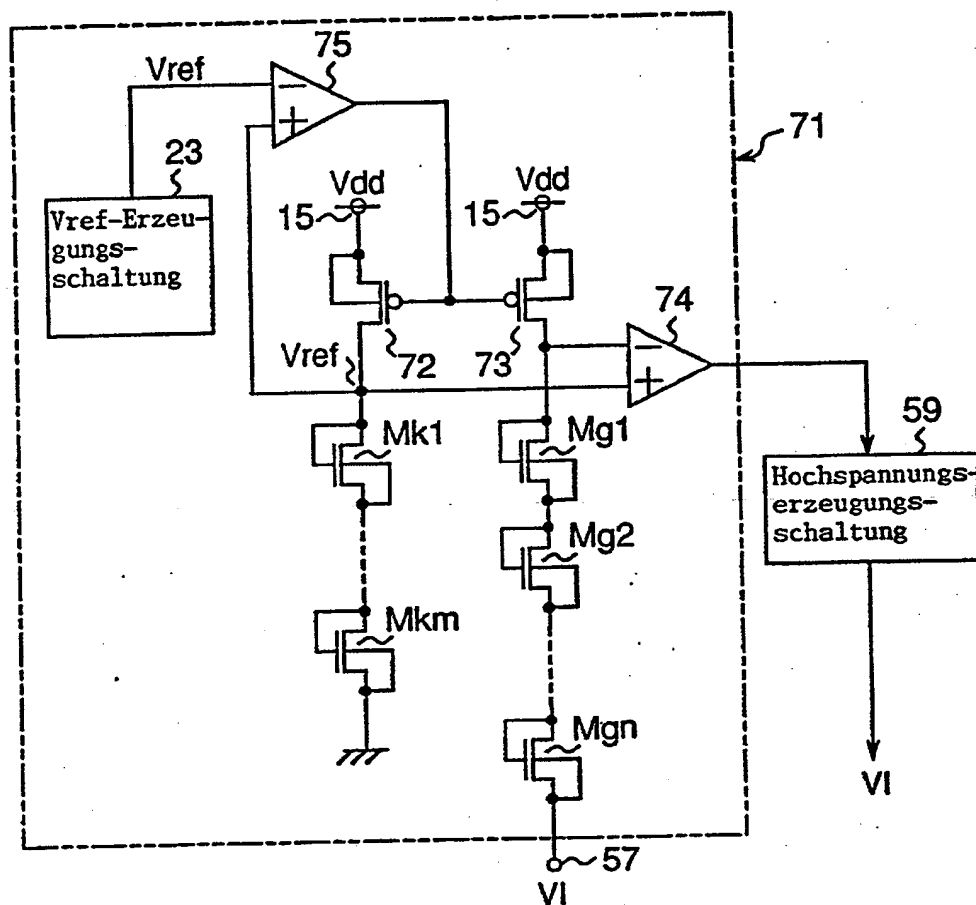


Fig.8

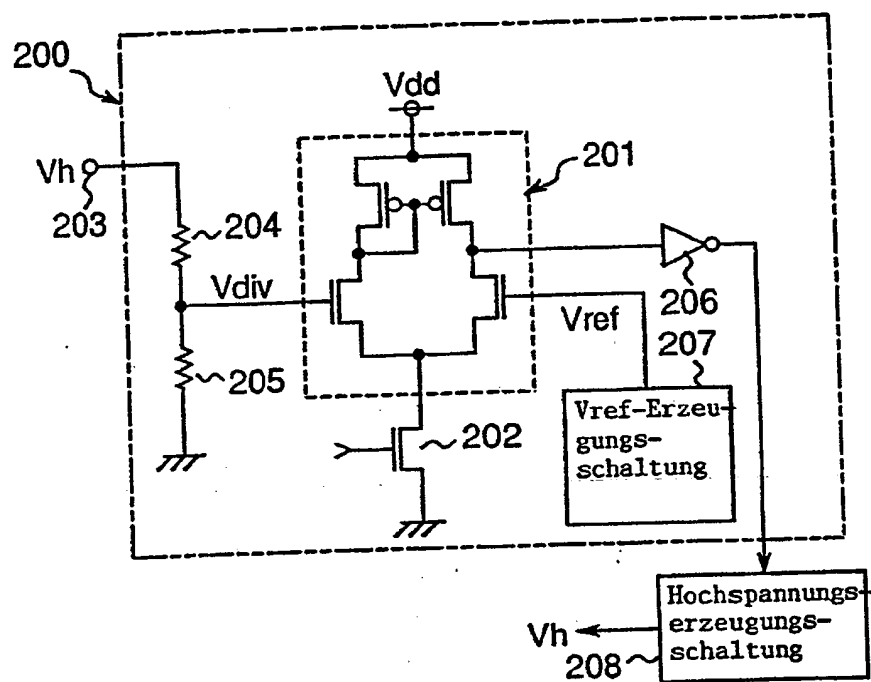


Fig.9

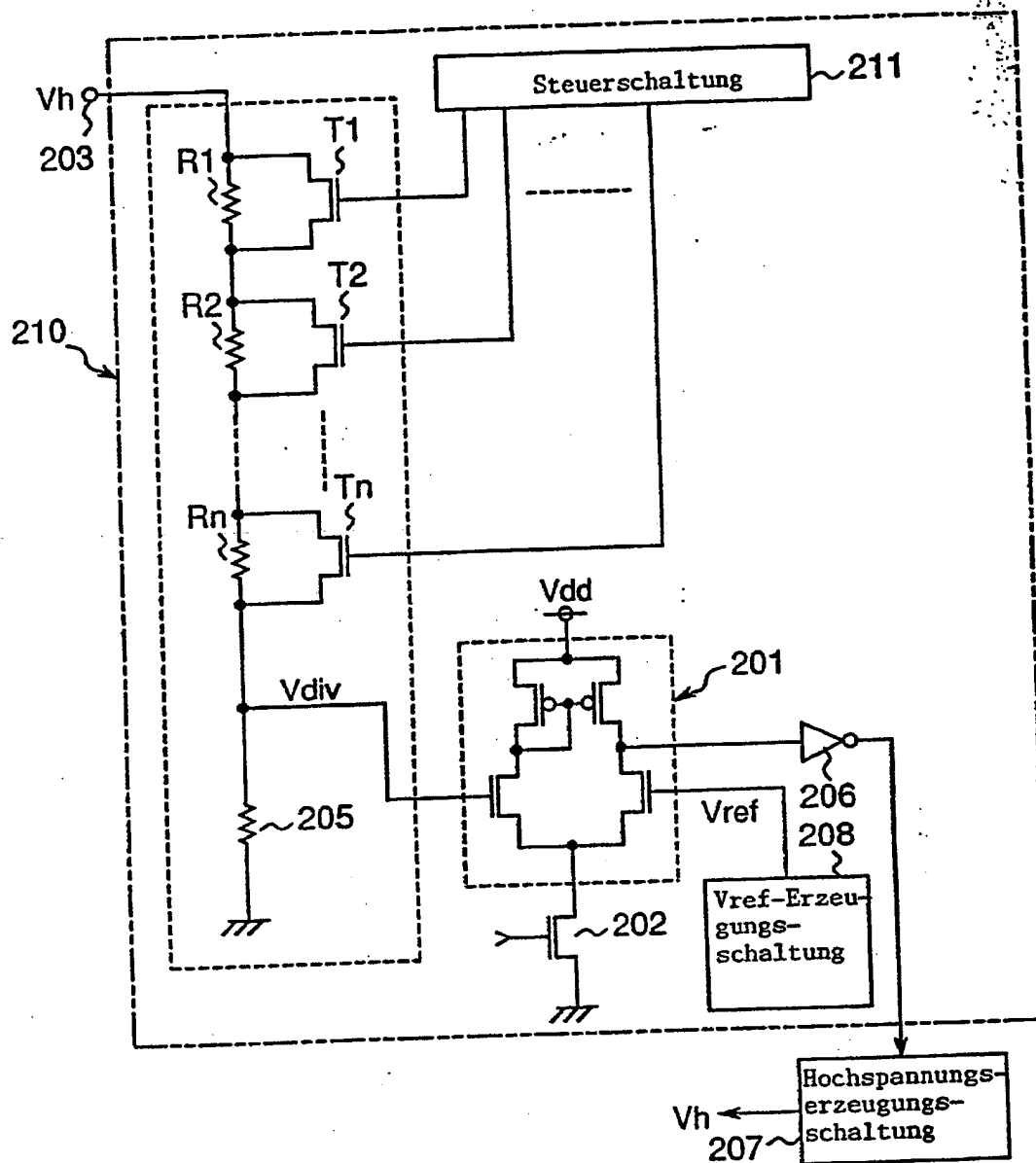
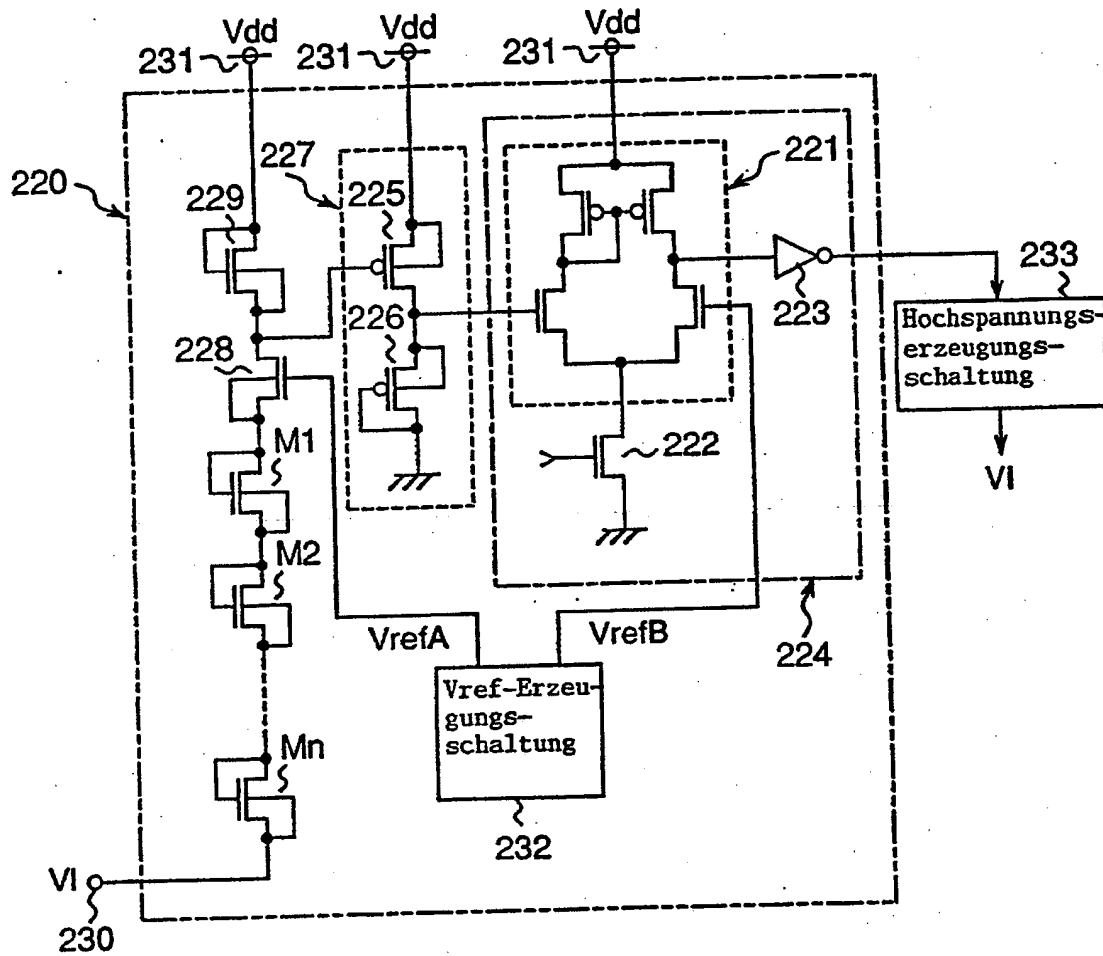


Fig.10



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.